

VIA HAND DELIVERY
PATENT
70404.13

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Naoki MAKITA

Serial No.: Currently unknown

Filing Date: Concurrently herewith

For: SEMICONDUCTOR DEVICE AND
METHOD FOR MANUFACTURING THE
SAME

TRANSMITTAL OF PRIORITY DOCUMENTS

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop PATENT APPLICATION
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2003-001434** filed **January 7, 2003**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: December 23, 2003


Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200
Facsimile: (703) 385-5080

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 7 日
Date of Application:

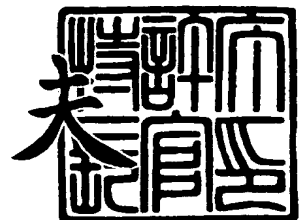
出 願 番 号 特 願 2 0 0 3 - 0 0 1 4 3 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 0 1 4 3 4]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 6 2 7 4

【書類名】 特許願

【整理番号】 02J04033

【提出日】 平成15年 1月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786
H01L 21/336
H01L 21/20
H01L 21/268
H01L 21/322

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 牧田 直樹

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100101683

【弁理士】

【氏名又は名称】 奥田 誠司

【手数料の表示】

【予納台帳番号】 082969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208454

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 チャネル領域、ソース領域およびドレイン領域を含む結晶質領域を備えた半導体層と、前記半導体層の少なくとも前記チャネル領域、前記ソース領域および前記ドレイン領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記チャネル領域に対向するように形成されたゲート電極とを有する少なくとも 1 つの薄膜トランジスタを備えた半導体装置であって、

前記半導体層の少なくとも一部は、結晶化を促進する触媒元素を含み、且つ、前記半導体層は、前記チャネル領域、あるいは、前記ソース領域および前記ドレイン領域よりも前記触媒元素を高濃度で含むゲッタリング領域をさらに有し、

前記ゲッタリング領域上の前記ゲート絶縁膜の厚さは前記ソース領域および前記ドレイン領域上の前記ゲート絶縁膜の厚さよりも小さい、あるいは、前記ゲート絶縁膜は前記ゲッタリング領域上には形成されていない、半導体装置。

【請求項 2】 前記半導体層は、非晶質領域をさらに有し、前記ゲッタリング領域の少なくとも一部は、前記非晶質領域に形成されている、請求項 1 に記載の半導体装置。

【請求項 3】 前記ゲッタリング領域の少なくとも一部は、前記結晶質領域に形成されている、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記結晶質領域に形成されている前記ゲッタリング領域の前記少なくとも一部は、前記チャネル領域、あるいは、前記ソース領域および前記ドレイン領域に比べて、より多くの非晶質成分を含み、且つより少ない結晶質成分を含む、請求項 3 に記載の半導体装置。

【請求項 5】 p チャネル型薄膜トランジスタと n チャネル型薄膜トランジスタとを有し、前記少なくとも 1 つの薄膜トランジスタは、前記 p チャネル型薄膜トランジスタである、請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】 p チャネル型トランジスタと n チャネル型トランジスタとを有し、前記少なくとも 1 つの薄膜トランジスタは、前記 n チャネル型薄膜トランジスタである、請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 7】 前記少なくとも 1 つの薄膜トランジスタは、p チャンネル型薄膜トランジスタおよび n チャンネル型薄膜トランジスタを含む、請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 8】 前記ゲッタリング領域は、前記少なくとも 1 つの薄膜トランジスタの動作時において電子または正孔が移動する領域外に形成されている、請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】 前記ゲッタリング領域は、前記チャンネル領域に隣接しないように形成されている、請求項 1 から 8 のいずれかに記載の半導体装置。

【請求項 10】 前記少なくとも 1 つの薄膜トランジスタに接続された配線を有し、

前記ゲッタリング領域は、前記半導体層の外縁部に形成されており、前記配線は、前記ソース領域または前記ドレイン領域の少なくとも一部の領域で電氣的に接続されており、前記ゲッタリング領域には前記配線が接続されていない、請求項 1 から 9 のいずれかに記載の半導体装置。

【請求項 11】 前記少なくとも 1 つの薄膜トランジスタに接続された配線を有し、

前記ゲッタリング領域は、前記半導体層の外縁部に形成されており、前記配線は、前記ソース領域または前記ドレイン領域の少なくとも一部の領域および前記ゲッタリング領域の一部の領域で電氣的に接続されている、請求項 1 から 9 のいずれかに記載の半導体装置。

【請求項 12】 前記少なくとも 1 つの薄膜トランジスタは n チャンネル型薄膜トランジスタを含み、

前記 n チャンネル型薄膜トランジスタの前記ゲッタリング領域には、n 型を付与する周期表第 5 族 B に属する不純物元素が、前記ソース領域あるいは前記ドレイン領域よりも高濃度で含まれている、請求項 1 から 11 のいずれかに記載の半導体装置。

【請求項 13】 前記ゲッタリング領域は、前記触媒元素を引き寄せる作用を有するゲッタリング元素を含む、請求項 1 から 12 のいずれかに記載の半導体装置。

【請求項 14】 前記ゲッタリング領域は、前記ゲッタリング元素として、 n 型を付与する周期表第 5 族 B に属する不純物元素と、 p 型を付与する周期表第 3 族 B に属する不純物元素とを含む、請求項 13 に記載の半導体装置。

【請求項 15】 前記ゲッタリング領域は、 $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度の前記 n 型を付与する不純物元素と、 $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ の濃度の前記 p 型を付与する不純物元素とを含む、請求項 14 に記載の半導体装置。

【請求項 16】 前記ゲッタリング元素は、Ar、Kr および Xe からなる群から選択される少なくとも一種の希ガス元素を含む、請求項 13 から 15 のいずれかに記載の半導体装置。

【請求項 17】 前記ゲッタリング領域における前記少なくとも一種の希ガス元素の濃度は、 $1 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms} / \text{cm}^3$ の範囲内にある、請求項 16 に記載の半導体装置。

【請求項 18】 前記触媒元素は、Ni、Co、Sn、Pb、Pd、Fe および Cu からなる群から選択される少なくとも一種の元素を含む、請求項 1 から 17 のいずれかに記載の半導体装置。

【請求項 19】 前記ゲッタリング領域における前記触媒元素の濃度は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以上である、請求項 1 から 18 のいずれかに記載の半導体装置。

【請求項 20】 前記ゲート電極は、W、Ta、Ti および Mo からなる群から選択される少なくとも一種の金属元素を含む、請求項 1 から 19 のいずれかに記載の半導体装置。

【請求項 21】 前記結晶質領域は、前記チャネル領域と前記ソース領域との接合部および／または前記チャネル領域と前記ドレイン領域との接合部に、さらに LDD 領域を有している、請求項 1 から 20 のいずれかに記載の半導体装置。

【請求項 22】 結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する工程と、

前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る工程と、

前記半導体膜をパターンニングすることにより、前記結晶質領域を含む島状半導体層を形成する工程と、

前記島状半導体層上にゲート絶縁膜を形成する工程と、

前記島状半導体層の、チャネル領域、ソース領域およびドレイン領域が形成される領域以外の領域上に位置する前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程と、

前記島状半導体層上の前記ゲート絶縁膜が薄膜化または除去された領域に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する工程と、

前記島状半導体層の前記結晶領域にソース領域およびドレイン領域を形成するために不純物をドーピングする工程と、

第2の加熱処理を行うことにより、前記島状半導体層中の前記触媒元素の少なくとも一部を前記ゲッタリング領域に移動させる工程と、

を包含する半導体装置の製造方法。

【請求項23】 前記島状半導体層は、非晶質領域をさらに有し、前記ゲッタリング領域の少なくとも一部は、前記非晶質領域に形成される、請求項22に記載の半導体装置の製造方法。

【請求項24】 前記ゲッタリング領域の少なくとも一部は、前記結晶質領域に形成される、請求項22または23に記載の半導体装置の製造方法。

【請求項25】 前記不純物ドーピング工程は、前記第2の加熱処理を行う前に、n型不純物および／またはp型不純物をドーピングする工程を包含する、請求項22から24のいずれかに記載の半導体装置の製造方法。

【請求項26】 前記ゲッタリング領域を形成する工程は、前記触媒元素を引き寄せる作用を有するゲッタリング元素を前記島状半導体層にドーピングする工程を含む、請求項22から25のいずれかに記載の半導体装置の製造方法。

【請求項27】 前記不純物ドーピング工程の少なくとも一部は、前記ゲッタリング元素ドーピング工程の前に実行される、請求項26に記載の半導体装置の製造方法。

【請求項28】 前記不純物ドーピング工程の少なくとも一部は、前記ゲッタリング元素ドーピング工程の後に実行される、請求項26に記載の半導体装置の製造方法。

。

【請求項 2 9】 前記不純物ドーピング工程の少なくとも一部は、前記ゲッタリング元素ドーピング工程と同時に実行される、請求項 2 6 に記載の半導体装置の製造方法。

【請求項 3 0】 前記ゲッタリング元素ドーピング工程は、前記ゲート絶縁膜が薄膜化または除去された領域の前記島状半導体層に、選択的にゲッタリング元素をドーピングすることによって実行される、請求項 2 6 から 2 9 のいずれかに記載の半導体装置の製造方法。

【請求項 3 1】 前記ゲッタリング元素ドーピング工程は、前記ゲート絶縁膜が薄膜化または除去された領域の前記島状半導体層に、前記ソース領域およびドレイン領域よりも高い濃度でゲッタリング元素をドーピングする工程を含む、請求項 2 5 6 から 2 9 のいずれかに記載の半導体装置の製造方法。

【請求項 3 2】 前記ゲッタリング元素は、n 型を付与する周期表第 5 族 B に属する不純物元素を含む、請求項 2 6 から 3 1 のいずれかに記載の半導体装置の製造方法。

【請求項 3 3】 前記ゲッタリング元素は、n 型を付与する周期表第 5 族 B に属する不純物元素および p 型を付与する周期表第 3 族 B に属する不純物元素を含む、請求項 2 6 から 3 1 のいずれかに記載の半導体装置の製造方法。

【請求項 3 4】 前記ゲッタリング元素は、Ar、Kr および Xe からなる群から選択された少なくとも 1 種の元素を含む、請求項 2 6 から 3 3 のいずれかに記載の半導体装置の製造方法。

【請求項 3 5】 前記ゲッタリング領域における前記ゲッタリング元素の濃度が $1 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の範囲内にある、請求項 2 6 から 3 4 のいずれかに記載の半導体装置の製造方法。

【請求項 3 6】 前記ゲッタリング領域形成工程は、前記ゲート絶縁膜が薄膜化または除去された領域の前記島状半導体層を前記ソース領域および前記ドレイン領域よりも非晶質化する工程を含む、請求項 2 2 から 3 5 のいずれかに記載の半導体装置の製造方法。

【請求項 3 7】 前記ゲッタリング領域は、前記島状半導体層において、電子

または正孔が移動する領域以外の領域に形成される、請求項 22 から 36 のいずれかに記載の半導体装置の製造方法。

【請求項 38】 前記ゲッタリング領域は、ソース領域および／またはドレイン領域と隣接し、且つ、チャネル領域とは隣接しないように形成される、請求項 21 から 37 のいずれかに記載の半導体装置の製造方法。

【請求項 39】 前記第 2 の加熱処理工程の後、少なくとも前記ソース領域あるいはドレイン領域の一部を含む領域と接触する配線を形成する工程を更に包含する、請求項 21 から 38 のいずれかに記載の半導体装置の製造方法。

【請求項 40】 結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する工程と、

前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る工程と、

前記半導体膜をパターニングすることにより、それぞれが前記結晶質領域を備えた複数の島状半導体層を形成する工程と、

前記複数の島状半導体層のそれぞれの上にゲート絶縁膜を形成する工程と、

前記複数の島状半導体層のそれぞれの上の前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記複数の島状半導体層の内の少なくとも 1 つの島状半導体層のソース領域およびドレイン領域が形成される領域以外の領域上に位置し、且つ、前記ゲート電極が形成されていない領域の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程と、

前記複数の島状半導体層のそれぞれにソース領域およびドレイン領域を形成するため、および、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜が薄膜化または除去された領域に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成するためのドーピング工程と、

第 2 の加熱処理を行うことにより、前記少なくとも 1 つの島状半導体層中の前記触媒元素の少なくとも一部を前記ゲッタリング領域に移動させる工程と、

を包含する半導体装置の製造方法。

【請求項 41】 前記島状半導体層は、非晶質領域をさらに有し、前記ゲッタ

リング領域の少なくとも一部は、前記非晶質領域に形成される、請求項 40 に記載の半導体装置の製造方法。

【請求項 42】 前記ゲッタリング領域の少なくとも一部は、前記結晶質領域に形成される、請求項 40 または 41 に記載の半導体装置の製造方法。

【請求項 43】 前記少なくとも 1 つの島状半導体層は、n チャネル型薄膜トランジスタ用島状半導体層と、p チャネル型薄膜トランジスタ用島状半導体層とを含み、

前記ドーピング工程は、前記 n チャネル型薄膜トランジスタ用島状半導体層の前記ソース領域および前記ドレイン領域が形成される領域と、前記 p チャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域とに、n 型を付与する不純物元素をドーピングする n 型ドーピング工程と、

前記 n 型ドーピング工程の後、前記 p チャネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域に、p 型を付与する不純物元素をドーピングする p 型ドーピング工程と、

を包含する請求項 40 から 42 のいずれかに記載の半導体装置の製造方法。

【請求項 44】 前記少なくとも 1 つの島状半導体層は p チャネル型薄膜トランジスタ用島状半導体層を含み、前記複数の島状半導体層は n チャネル型薄膜トランジスタ用島状半導体層をさらに含み、

前記ドーピング工程は、前記 p チャネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域に、p 型を付与する不純物元素をドーピングする p 型ドーピング工程と、

前記 p 型ドーピング工程の後、前記 n チャネル型薄膜トランジスタの前記ソース領域および前記ドレイン領域が形成される領域と、前記 p チャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域とに、n 型を付与する不純物元素をドーピングする n 型ドーピング工程と、

を包含する請求項 40 から 42 のいずれかに記載の半導体装置の製造方法。

【請求項 45】 前記少なくとも 1 つの島状半導体層は、n チャネル型薄膜トランジスタ用島状半導体層と、p チャネル型薄膜トランジスタ用島状半導体層とを含み、

前記ドーピング工程は、前記 n チャンネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域と、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域に、n 型を付与する不純物元素をドーピングする n 型ドーピング工程と、

前記 n 型ドーピング工程の後、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域と、前記 n チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域に、p 型を付与する不純物元素をドーピングする p 型ドーピング工程と、

を包含する請求項 40 から 42 のいずれかに記載の半導体装置の製造方法。

【請求項 46】 前記少なくとも 1 つの島状半導体層は、n チャンネル型薄膜トランジスタ用島状半導体層と、p チャンネル型薄膜トランジスタ用島状半導体層とを含み、

前記ドーピング工程は、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域と、前記 n チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域とに、p 型を付与する不純物元素をドーピングする p 型ドーピング工程と、

前記 p 型ドーピング工程の後、前記 n チャンネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域と、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域とに、n 型を付与する不純物元素をドーピングする n 型ドーピング工程と、

を包含する請求項 40 から 42 のいずれかに記載の半導体装置の製造方法。

【請求項 47】 前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記少なくとも 1 つの島状半導体層の前記ソース領域および前記ドレイン領域上にマスクを形成する工程と、前記マスクを使用して前記ゲート絶縁膜をエッチングする工程とを包含し、

前記マスクは前記ドーピング工程において使用される、請求項 40 から 46 のいずれかに記載の半導体装置の製造方法。

【請求項 48】 前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記 n 型ドーピング工程と前記 p 型ドーピング工程との間で行われる、請求項 43 または 45 のいずれかに記載の半導体装置の製造方法。

【請求項 49】 前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記 p 型ドーピング工程と前記 n 型ドーピング工程との間で行われる、請求項 44 または 46 のいずれかに記載の半導体装置の製造方法。

【請求項 50】 前記 p 型ドーピング工程は、前記複数の島状半導体層のそれぞれに対して、p 型を付与する不純物元素のドーピングが不要な領域上を覆うマスクを形成する工程を包含し、

前記マスクは、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程で使用される、請求項 48 に記載の半導体装置の製造方法。

【請求項 51】 前記 n 型ドーピング工程は、前記複数の島状半導体層のそれぞれに対して、n 型を付与する不純物元素のドーピングが不要な領域上を覆うマスクを形成する工程を包含し、

前記マスクは、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程で使用される、請求項 49 に記載の半導体装置の製造方法。

【請求項 52】 前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記マスクを除去する工程を包含する、請求項 50 または 51 に記載の半導体装置の製造方法。

【請求項 53】 結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する第 1 の工程と、

前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第 2 の工

程と、

前記半導体膜をパターンニングすることにより、それぞれが前記結晶質領域を備え、pチャネル型薄膜トランジスタ用島状半導体層およびnチャネル型薄膜トランジスタ用島状半導体層を含む複数の島状半導体層を形成する第3の工程と、

前記複数の島状半導体層上にゲート絶縁膜を形成する第4の工程と、

前記ゲート絶縁膜上に導電膜を形成し、前記導電膜を加工して、前記pチャネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第1のゲート電極を形成する第5の工程と、

前記第1のゲート電極をマスクにして、前記pチャネル型薄膜トランジスタ用島状半導体層にp型を付与する不純物元素をドーピングすることによって、ソース領域、ドレイン領域および前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する第6の工程と、

前記pチャネル型薄膜トランジスタ用島状半導体層の一部を露出し、前記第1のゲート電極を覆い、且つ、前記nチャネル型薄膜トランジスタ用島状半導体層上に形成する第2のゲート電極を規定するマスクを前記導電膜上に形成する第7の工程と、

前記マスクを使用して、前記導電膜を加工し、前記第2のゲート電極を形成する第8の工程と、

前記複数の島状半導体層のうち、前記マスク、前記第1のゲート電極および第2のゲート電極に覆われていない領域に、n型を付与する不純物元素をドーピングすることにより、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域にn型不純物をさらにドーピングするとともに、前記nチャネル型薄膜トランジスタ用島状半導体層のソース領域およびドレイン領域を形成する第9の工程と、

前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域および前記nチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域および前記ドレイン領域に、それぞれの島状半導体層中の前記触媒元素の少なくとも一部を移動させるために、第2の加熱処理を行う第10の工程とを包含し、

前記第7の工程後から第8の工程後のいずれかの時点において、前記pチャネ

ル型薄膜トランジスタ島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を少なくとも一回含む、半導体装置の製造方法。

【請求項 54】 前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記第 8 の工程と同時に行なわれ、前記 p チャンネル型薄膜トランジスタ用島状半導体層の一部を露出する前記マスクを使用して行われる、請求項 53 に記載の半導体装置の製造方法。

【請求項 55】 結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する第 1 の工程と、

前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第 2 の工程と、

前記半導体膜をパターニングすることにより、それぞれが前記結晶質領域を備え、n チャンネル型薄膜トランジスタ用島状半導体層および p チャンネル型薄膜トランジスタ用島状半導体層を含む複数の島状半導体層を形成する第 3 の工程と、

前記複数の島状半導体層上にゲート絶縁膜を形成する第 4 の工程と、

前記 n チャンネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第 1 のゲート電極を形成し、前記 p チャンネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第 2 のゲート電極用導電層を形成する第 5 の工程と、

前記第 1 のゲート電極および前記第 2 のゲート電極用導電層をマスクにして、n 型を付与する不純物元素をドーピングし、前記 n チャンネル型薄膜トランジスタ用島状半導体層にソース領域およびドレイン領域を形成するとともに、前記 p チャンネル型薄膜トランジスタ用島状半導体層に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する第 6 の工程と、

前記 n チャンネル型薄膜トランジスタ用島状半導体層と、前記第 2 のゲート電極用導電層の一部とを覆うマスクを形成する第 7 の工程と、

前記マスクを用いて、前記第 2 のゲート電極用導電層を加工し、前記第 2 のゲート電極を形成する第 8 の工程と、

前記複数の島状半導体層の、前記マスクおよび前記第2のゲート電極に覆われていない領域に、p型を付与する不純物元素をドーピングすることにより、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域にp型不純物をさらにドーピングするとともに、ソース領域およびドレイン領域を形成する第9の工程と、

前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域および前記nチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域および前記ドレイン領域に、それぞれの島状半導体層中の前記触媒元素の少なくとも一部を移動させるために、第2の加熱処理を行う第10の工程とを包含し、

前記第5の工程後から第8の工程後のいずれかの時点において、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を少なくとも一回含む、半導体装置の製造方法。

【請求項56】 前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記第8の工程と同時に進められ、前記第1のゲート電極をマスクとして使用して進められる請求項55に記載の半導体装置の製造方法。

【請求項57】 結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する第1の工程と、

前記非晶質半導体膜に対して第1の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第2の工程と、

前記半導体膜をパターニングすることにより、それぞれが前記結晶質領域を備え、nチャネル型薄膜トランジスタ用島状半導体層およびpチャネル型薄膜トランジスタ用島状半導体層を含む複数の島状半導体層を形成する第3の工程と、

前記複数の島状半導体層上にゲート絶縁膜を形成する第4の工程と、

前記pチャネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第1のゲート電極を形成し、前記nチャネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第2のゲート電極用導電層を形成する第5の工程と、

前記第 1 のゲート電極および前記第 2 のゲート電極用導電層をマスクにして、p 型を付与する不純物元素をドーピングし、前記 p チャンネル型薄膜トランジスタ用島状半導体層のソース領域、ドレイン領域および前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成するとともに、前記 n チャンネル型薄膜トランジスタ用島状半導体層に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する第 6 の工程と、

前記 p チャンネル型薄膜トランジスタ用島状半導体層の一部を露出し、前記第 1 のゲート電極を覆い、且つ、前記第 2 のゲート電極用半導体層の一部を覆うマスクを形成する第 7 の工程と、

前記マスクを用いて、前記第 2 のゲート電極用導電層を加工し、前記第 2 のゲート電極を形成する第 8 の工程と、

前記複数の島状半導体層のうち、前記マスクおよび前記第 2 のゲート電極に覆われていない領域に n 型を付与する不純物元素をドーピングすることにより、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域を非晶質化するとともに、前記 n チャンネル型薄膜トランジスタ用島状半導体層にソース領域およびドレイン領域を形成するとともに、前記ゲッタリング領域に n 型を付与する不純物元素をさらにドーピングする第 9 の工程と、

前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域および前記 n チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域に、前記触媒元素の少なくとも一部を移動させるために、第 2 の加熱処理を行う第 10 の工程とを包含し、

前記第 5 の工程後から第 8 の工程後のいずれかの時点において、前記 n チャンネル型薄膜トランジスタ用島状半導体層および／または前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を少なくとも一回含む、半導体装置の製造方法。

【請求項 58】 前記 n チャンネル型薄膜トランジスタ用島状半導体層および／または前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記

第 8 の工程と同時にこなわれ、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記第 2 のゲート電極用導電層より露出していた領域の前記ゲート絶縁膜、および前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記マスクから露出している領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を包含する、請求項 57 に記載の半導体装置の製造方法。

【請求項 59】 結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する第 1 の工程と、

前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第 2 の工程と、

前記半導体膜をパターンニングすることにより、それぞれが前記結晶質領域を備え、n チャンネル型薄膜トランジスタ用島状半導体層および p チャンネル型薄膜トランジスタ用島状半導体層を含む複数の島状半導体層を形成する第 3 の工程と、

前記複数の島状半導体層上にゲート絶縁膜を形成する第 4 の工程と、

前記 n チャンネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第 1 のゲート電極を形成し、前記 p チャンネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第 2 のゲート電極用導電層を形成する第 5 の工程と、

前記第 1 のゲート電極および前記第 2 のゲート電極用導電層をマスクにして、n 型を付与する不純物元素をドーピングし、前記 n チャンネル型薄膜トランジスタ用島状半導体層にソース領域、ドレイン領域および前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成するとともに、前記 p チャンネル型薄膜トランジスタ用島状半導体層に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する第 6 の工程と、

前記 n チャンネル型薄膜トランジスタ用島状半導体層の一部を露出し、前記第 1 のゲート電極と、前記第 2 のゲート電極用導電層の一部とを覆うマスクを形成する第 7 の工程と、

前記マスクを使用して、前記第 2 のゲート電極用導電層を加工し、前記第 2 のゲート電極を形成する第 8 の工程と、

前記複数の島状半導体層の、前記マスクおよび前記第 2 のゲート電極に覆われ

ていない領域に p 型を付与する不純物元素をドーピングすることにより、前記 n チャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域を非晶質化するとともに、前記 n チャネル型薄膜トランジスタ用島状半導体層にソース領域およびドレイン領域を形成するとともに、前記ゲッタリング領域に p 型を付与する不純物元素をさらにドーピングする第 9 の工程と、

前記 p チャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域および前記 n チャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域に、前記触媒元素の少なくとも一部を移動させるために、第 2 の加熱処理を行う第 10 の工程とを包含し、

前記第 5 の工程後から第 8 の工程後のいずれかの時点において、前記 n チャネル型薄膜トランジスタ用島状半導体層および／または前記 p チャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を少なくとも一回含む、半導体装置の製造方法。

【請求項 60】 前記 n チャネル型薄膜トランジスタ用島状半導体層および／または前記 p チャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記第 8 の工程と同時に進められ、

前記 n チャネル型薄膜トランジスタ用島状半導体層の前記マスクから露出している領域上の前記ゲート絶縁膜、および前記 p チャネル型薄膜トランジスタ用島状半導体層の前記第 2 のゲート電極用導電層より露出していた領域の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を包含する、請求項 59 に記載の半導体装置の製造方法。

【請求項 61】 前記第 2 のゲート電極用導電層のチャネル幅方向の幅は、前記第 2 のゲート電極よりも広い、請求項 55 から 60 のいずれかに記載の半導体装置の製造方法。

【請求項 62】 前記ゲッタリング領域にドーピングする n 型を付与する不純物元素の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲内にあり、且つ、前記ゲッタリング領域にドーピングする p 型を付与する不純物元素の濃度は、1.5

$\times 10^{19} \sim 3 \times 10^{21}$ atoms/cm³の範囲内にある、請求項 40 から 61 のいずれかに記載の半導体装置の製造方法。

【請求項 63】 前記第 2 の加熱処理により、前記複数の島状半導体層の少なくとも前記ソース領域および前記ドレイン領域にドーピングされた n 型を付与する不純物および／または p 型を付与する不純物の活性化を行う、請求項 22 から 62 のいずれかに記載の半導体装置の製造方法。

【請求項 64】 前記非晶質半導体膜を用意する工程は、
開口部を有するマスクを前記非晶質半導体膜上に形成する工程と、
前記開口部を通して前記触媒元素を前記非晶質半導体膜の選択された領域にドーピングする工程と、
を含む、請求項 22 から 63 のいずれかに記載の半導体装置の製造方法。

【請求項 65】 前記触媒元素は、Ni、Co、Sn、Pb、Pd、Fe および Cu からなる群から選択された少なくとも 1 種の元素である、請求項 22 から 64 のいずれかに記載の半導体装置の製造方法。

【請求項 66】 前記第 1 の加熱処理の後、前記半導体膜にレーザー光を照射する工程をさらに包含する、請求項 22 から 65 のいずれかに記載の半導体装置の製造方法。

【請求項 67】 請求項 22 から 66 のいずれかに記載の製造方法によって製造された半導体装置。

【請求項 68】 請求項 1 から 21 および 67 のいずれかに記載の半導体装置を備えた電子機器。

【請求項 69】 請求項 68 に記載の前記半導体装置を有する表示部を備える請求項 68 に記載の電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ (Thin Film Transistor: TFT) を備える半導体装置及びその製造方法に関し、さらに詳しく言えば、非晶質半導体膜を結晶化した結晶質半導体膜を半導体層 (活性領域) とする薄膜ト

ランジスタを備えた半導体装置およびその製造方法に関する。本発明は、特に、アクティブマトリクス型の液晶表示装置や有機EL表示装置、密着型イメージセンサー、三次元ICなどに好適に利用できる。

【0002】

【従来技術】

近年、大型で高解像度の液晶表示装置や有機EL表示装置、高速で高解像度の密着型イメージセンサー、三次元ICなどへの実現に向けて、ガラス等の絶縁基板上や、絶縁膜上に高性能な半導体素子を形成する試みがなされている。特に、同一基板上に画素部と駆動回路が設けられた液晶表示装置はパーソナルコンピュータ（PC）向けのモニターとしてだけでなく、一般家庭の中に進出し始めている。例えば、CRT（Cathode-ray Tube）のかわりにテレビジョンとして液晶ディスプレイが、また、娯楽として映画を観たりゲームをしたりするためのフロントプロジェクターが、一般家庭に導入されるようになり、液晶表示装置の市場規模はかなりの勢いで大きくなってきている。さらに、ガラス基板上にメモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発もさかんに進められている。

【0003】

高解像度な画像表示を行うために画素に書き込む情報量が増え、さらにその情報は短時間で書き込まれなければ、高精細な表示のための膨大な情報量を有する画像を動画表示したりすることは不可能である。そこで、駆動回路に用いられるTFTには、高速動作が求められている。高速動作を可能にするためには、高い電界効果移動度を得られる良質な結晶性を有する結晶質半導体層を用いてTFTを実現することが求められている。

【0004】

ガラス基板上に良好な結晶質半導体層を得る方法として、本発明者は、非晶質半導体層に結晶化を促進する作用を有する金属元素を添加した後、加熱処理を施すことにより、従来より低温・短時間の加熱処理で、結晶の配向性が揃った良好な半導体膜が得られる技術を開発している。

【0005】

しかし、触媒元素を用いて得られた結晶質ケイ素膜をそのまま半導体層として用いて作製されたTFTには、オフ電流が突発的に増加してしまうという問題がある。触媒元素が半導体膜中で不規則に偏析すること、特に結晶粒界においてこの偏析が顕著に確認され、この触媒元素の偏析が、電流の逃げ道（リークパス）となり、これが原因でオフ電流の突発的な増加を引き起こしているのではないかと考えられる。そこで、結晶質ケイ素膜の作製工程の後、触媒元素を半導体膜中から移動させて、半導体膜中の触媒元素濃度を低減させる必要がある。以後、この触媒元素を取り除く工程を「ゲッタリング工程」と称する。また、「触媒を移動させる（引き寄せる）作用をゲッタリング作用」と称し、「触媒元素を引き寄せる作用を有する元素を「ゲッタリング元素」と称することにする。

【0006】

このゲッタリング工程・ゲッタリング方法に関しては、様々な工程・方法が提案されている。

【0007】

例えば、特許文献1では、触媒元素により結晶化されたケイ素に対して、その一部に非晶質化した領域を形成し、加熱処理を行うことで、非晶質化された領域の格子欠陥を利用して、そこに触媒元素を移動（ゲッタリング）させる技術を開示している。特許文献1では、このとき、TFTのソース／ドレイン領域をゲッタリング領域として用い、製造工程の簡略化を図っているが、非晶質領域のままではソース／ドレイン領域として機能しないためレーザー光などを用いて活性化する付加工程が必要となる。

【0008】

また、特許文献2では、リンのもつゲッタリング作用に注目し、触媒元素による結晶化されたケイ素により形成されたTFTの活性領域（半導体層）に対して、nチャネル型TFTでは、ソース／ドレイン領域にリンをドーピングし、pチャネル型TFTでは、ソース／ドレインにリンとそれ以上の濃度のホウ素とをドーピングし、加熱処理することでソース／ドレイン領域へと触媒元素をゲッタリングしている。

【0009】

特許文献3では、触媒元素により結晶化されたケイ素に対して、その一部にリンなど5族B元素を選択的に導入し、基板の歪点を超えない温度範囲で加熱処理を行うことで、5族Bの元素が導入された領域（ゲッタリング領域）に、触媒元素を移動（ゲッタリング）させる技術を開示している。特許文献3では、このとき、島状半導体層（TF T 活性領域）外にゲッタリング領域を形成し、ゲッタリングのための熱処理後、ゲッタリング領域を除去し、触媒元素の濃度が低下した領域（「低濃度領域」ということもある。）を使用して半導体素子（TF T）の活性領域を形成している。

【0010】

【特許文献1】

特開平8-213317号公報

【特許文献2】

特開平8-330602号公報

【特許文献3】

特開平10-270363号公報

【0011】

【発明が解決しようとする課題】

上記3つの特許文献に開示されている技術も含む従来技術の問題点は、ゲッタリングのための工程付加によるプロセスの複雑化と高コスト化である。この問題の解決策として、TF Tの半導体層の全体から触媒元素を取り除くのではなく、半導体層のソース領域またはドレイン領域となる領域に触媒元素を移動させ、チャネル領域から触媒元素を取り除く方法が考えられる。しかしながら、本発明者が種々検討した結果、上記特許文献1から3に記載されている技術には以下の課題があることがわかった。

【0012】

特許文献2および特許文献3のように、触媒元素を移動させる作用を有する周期表第5族Bに属する元素をケイ素膜に導入した場合には、その領域での触媒元素に対する固溶度が上がり、触媒のゲッタリングが行われる（第1のゲッタリング作用）。これに対して、特許文献1では、触媒元素をトラップする局所的な偏

析サイトとして非晶質領域の格子欠陥を利用することによってゲッタリングをいっている（第2のゲッタリング作用）。非晶質領域においては、結晶質領域よりも触媒元素の自由エネルギーが低いために、触媒元素が非晶質領域へと拡散しやすいような性質も持ち合わせている。

【0 0 1 3】

ゲッタリング領域におけるゲッタリング能力を高めるためには、前記第1のゲッタリング作用と第2のゲッタリング作用の効果を十分に引き出すことが必要であるが、薄膜トランジスタのソース領域やド레인領域において、このような状態を作り出すのは困難である。なぜなら、ゲッタリング効率を高めるためには、ゲッタリング領域として機能するソース領域およびド레인領域に多量のゲッタリング元素を導入し、さらにその領域を非晶質化させることが有効となるが、このような状態となれば、ソース領域およびド레인領域の抵抗値が大きく増大し、ソース領域およびド레인領域として機能させるのは難しいからである。

【0 0 1 4】

ゲッタリング元素を結晶質の半導体層に多量にイオン注入すると、注入された領域の結晶は崩れ非晶質化される。このときの非晶質化は、半導体層の上面側より開始され、半導体層の下面側まで完全に非晶質化されてしまうと、その後、加熱処理を行っても回復しない（結晶化しない）状態となる。ソース領域およびド레인領域をゲッタリング領域とする従来の方法では、イオン注入後のこの領域は、後の加熱処理において、結晶性をある程度回復させ、低抵抗化させる必要がある。このため、このような方法では、多量のゲッタリング元素を注入してゲッタリング効率を上げることは難しく、結晶性を回復できるレベルの注入量に抑えておく必要がある。しかしながら、ゲッタリング元素の注入量が少ないと、十分なゲッタリング能力を得ることができないため、ゲッタリング元素の注入量のコントロールが最大の課題となる。ドライバー（駆動回路）一体型の液晶表示装置に対して、このような技術を実際に適用したところ、基板上の一部の領域では、ソース領域、ド레인領域が非晶質化し高抵抗となって、T F Tのオン特性不良となり、ドライバー不良が発生した。また、一部の領域では、ゲッタリング元素の導入量が少ないために、ゲッタリング不足が生じ、オフ動作時のリーク電流の

増大により、ライン欠陥や点欠陥が発生した。このように、プロセスマージンが極めて少なく、量産適用することは難しい。

【0015】

特許文献1においては、非晶質領域のままではソース／ドレイン領域として機能しないため、レーザー光などを用いて活性化する付加工程を必要としている。但し、レーザー照射装置は、高価であるとともに装置構造が複雑であり、メンテナンス性も良くないため、結果的に製造コストが増大するとともに、良品率を低下させる原因にもなる。また、レーザー照射だけでは、チャンネル領域とソース領域、ドレイン領域との接合部に生じた結晶欠陥を回復させることができず、信頼性の悪化やオフ動作時のリーク電流の増大などが見られる。

【0016】

また、本発明者らが、実際にこれらの方法を用いて実験を行い、TF T素子を試作したところ、0. 数%程度の確率でTF Tオフ時のリーク電流が大きい不良TF Tが出現した。そして、その不良TF Tにおける原因を解析すると、チャンネル領域とドレイン領域との接合部に、触媒元素によるシリサイド化合物が存在していることが確認された。このように上記従来技術では、十分に触媒元素をゲッターリングできておらず、高性能なTF T素子は一部確率的に作製できても、不良率が高く、また信頼性も低く、量産に適用することは難しい。

【0017】

このような触媒元素によるTF Tオフ動作時のリーク電流増大現象は、チャンネル領域とドレイン領域との接合部に存在する触媒元素の偏析によって主に生じる。ソース領域およびドレイン領域をゲッターリング領域として利用する方法では、このチャンネル領域とソース領域およびドレイン領域との接合部は、ゲッターリング領域と非ゲッターリング領域との境界でもあり、このようなゲッターリング方法では、触媒元素によるTF Tオフ動作時のリーク電流増大を根本的に抑えることは難しい。

【0018】

これに加えて、特許文献1のように、非晶質状態となっているゲッターリング領域（ソース領域およびドレイン領域）を最終的に結晶化してしまうと、その後の

ゲッターリング作用は小さくなり、加熱処理で一旦移動させた触媒元素が、その後の工程で逆流（チャンネル領域に拡散）することがある。また、製造工程内でこのような触媒元素の逆流がないようにしたとしても、TFTの駆動で少なからず熱が発生し、一旦ゲッターリング領域に移動させた触媒元素が、TFT駆動時にチャンネル領域へと逆流し、信頼性において問題が生じることがある。したがって、TFTの活性領域（半導体層）にゲッターリング領域を設ける場合には、その領域はTFT完成時においても同様のゲッターリング状態を維持し、ゲッターリング工程時と同レベルのゲッターリング能力を保つようにしておくことが望ましい。

【0019】

さらに、特許文献3のように島状半導体層（TFT活性領域）外にゲッターリング領域を形成し、触媒元素をゲッターリングした後はゲッターリング領域を除去する方法を採用すると、最終的にゲッターリング領域が存在しないので、例えば、TFT駆動時にチャンネル領域へと逆流し、信頼性において問題が生じることがある。

【0020】

また、特許文献3の方法では、島状半導体層の外側にゲッターリング領域を形成するので、マスクの形成やゲッターリング元素の注入工程、ゲッターリングのための熱処理工程などが付加的に必要となる。また、ゲッターリングに必要な距離が比較的長くなるので、ゲッターリングのための熱処理に長時間を要したり、十分なゲッターリング効率が得られないことがある。

【0021】

本発明は上記の問題を鑑みてなされたものであり、良質な結晶質半導体膜を有し良好な特性を有するTFT（半導体素子）を備える半導体装置を提供することを目的とする。また、製造工程を増やさずに低コストな製造工程でこのような半導体装置を製造する方法を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明の半導体装置は、チャンネル領域、ソース領域およびドレイン領域を含む結晶質領域を備えた半導体層と、前記半導体層の少なくとも前記チャンネル領域、前記ソース領域および前記ドレイン領域上に形成されたゲート絶縁膜と、前記ゲ

ート絶縁膜を介して前記チャネル領域に対向するように形成されたゲート電極とを有する少なくとも1つの薄膜トランジスタを備えた半導体装置であって、前記半導体層の少なくとも一部は、結晶化を促進する触媒元素を含み、且つ、前記半導体層は、前記チャネル領域、あるいは、前記ソース領域および前記ドレイン領域よりも前記触媒元素を高濃度で含むゲッタリング領域をさらに有し、前記ゲッタリング領域上の前記ゲート絶縁膜の厚さは前記ソース領域および前記ドレイン領域上の前記ゲート絶縁膜の厚さよりも小さい、あるいは、前記ゲート絶縁膜は前記ゲッタリング領域上には形成されていない、ことを特徴とする。

【0023】

ある実施形態において、前記半導体層は、非晶質領域をさらに有し、前記ゲッタリング領域の少なくとも一部は、前記非晶質領域に形成されている。

【0024】

ある実施形態において、前記ゲッタリング領域の少なくとも一部は、前記結晶質領域に形成されている。

【0025】

ある実施形態において、前記結晶質領域に形成されている前記ゲッタリング領域の前記少なくとも一部は、前記チャネル領域、あるいは、前記ソース領域および前記ドレイン領域に比べて、より多くの非晶質成分を含み、且つより少ない結晶質成分を含む。

【0026】

ある実施形態において、pチャネル型薄膜トランジスタとnチャネル型薄膜トランジスタとを有し、前記少なくとも1つの薄膜トランジスタは、前記pチャネル型薄膜トランジスタである。

【0027】

ある実施形態において、pチャネル型トランジスタとnチャネル型トランジスタとを有し、前記少なくとも1つの薄膜トランジスタは、前記nチャネル型薄膜トランジスタである。

【0028】

ある実施形態において、前記少なくとも1つの薄膜トランジスタは、pチャネ

ル型薄膜トランジスタおよびnチャネル型薄膜トランジスタを含む。

【0 0 2 9】

ある実施形態において、前記ゲッタリング領域は、前記少なくとも1つの薄膜トランジスタの動作時において電子または正孔が移動する領域外に形成されている。

【0 0 3 0】

ある実施形態において、前記ゲッタリング領域は、前記チャネル領域に隣接しないように形成されている。

【0 0 3 1】

ある実施形態において、前記少なくとも1つの薄膜トランジスタに接続された配線を有し、前記ゲッタリング領域は、前記半導体層の外縁部に形成されており、前記配線は、前記ソース領域または前記ドレイン領域の少なくとも一部の領域で電氣的に接続されており、前記ゲッタリング領域には前記配線が接続されていない。

【0 0 3 2】

ある実施形態において、前記少なくとも1つの薄膜トランジスタに接続された配線を有し、前記ゲッタリング領域は、前記半導体層の外縁部に形成されており、前記配線は、前記ソース領域または前記ドレイン領域の少なくとも一部の領域および前記ゲッタリング領域の一部の領域で電氣的に接続されている。

【0 0 3 3】

ある実施形態において、前記少なくとも1つの薄膜トランジスタはnチャネル型薄膜トランジスタを含み、前記nチャネル型薄膜トランジスタの前記ゲッタリング領域には、n型を付与する周期表第5族Bに属する不純物元素が、前記ソース領域あるいは前記ドレイン領域よりも高濃度で含まれている。

【0 0 3 4】

ある実施形態において、前記ゲッタリング領域は、前記触媒元素を引き寄せる作用を有するゲッタリング元素を含む。

【0 0 3 5】

ある実施形態において、前記ゲッタリング領域は、前記ゲッタリング元素とし

て、n 型を付与する周期表第 5 族 B に属する不純物元素と、p 型を付与する周期表第 3 族 B に属する不純物元素とを含む。

【0 0 3 6】

ある実施形態において、前記ゲッタリング領域は、 $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度の前記 n 型を付与する不純物元素と、 $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ の濃度の前記 p 型を付与する不純物元素とを含む。

【0 0 3 7】

ある実施形態において、前記ゲッタリング元素は、Ar、Kr および Xe からなる群から選択される少なくとも一種の希ガス元素を含む。

【0 0 3 8】

ある実施形態において、前記ゲッタリング領域における前記少なくとも一種の希ガス元素の濃度は、 $1 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms} / \text{cm}^3$ の範囲内にある。

【0 0 3 9】

ある実施形態において、前記触媒元素は、Ni、Co、Sn、Pb、Pd、Fe および Cu からなる群から選択される少なくとも一種の元素を含む。

【0 0 4 0】

ある実施形態において、前記ゲッタリング領域における前記触媒元素の濃度は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以上である。

【0 0 4 1】

ある実施形態において、前記ゲート電極は、W、Ta、Ti および Mo からなる群から選択される少なくとも一種の金属元素を含む。

【0 0 4 2】

ある実施形態において、前記結晶質領域は、前記チャネル領域と前記ソース領域との接合部および／または前記チャネル領域と前記ドレイン領域との接合部に、さらに LDD 領域を有している。

【0 0 4 3】

本発明の半導体層値の製造方法は、結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する工程と、前記非晶質半導体膜に対して第 1 の

加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る工程と、前記半導体膜をパターンニングすることにより、前記結晶質領域を含む島状半導体層を形成する工程と、前記島状半導体層上にゲート絶縁膜を形成する工程と、前記島状半導体層の、チャネル領域、ソース領域およびドレイン領域が形成される領域以外の領域上に位置する前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程と、前記島状半導体層上の前記ゲート絶縁膜が薄膜化または除去された領域に前記触媒元素を引き寄せる作用を有するゲッターリング領域を形成する工程と、前記島状半導体層の前記結晶領域にソース領域およびドレイン領域を形成するために不純物をドーピングする工程と、第 2 の加熱処理を行うことにより、前記島状半導体層中の前記触媒元素の少なくとも一部を前記ゲッターリング領域に移動させる工程とを包含する、ことを特徴とする。

【0 0 4 4】

ある実施形態において、前記島状半導体層は、非晶質領域をさらに有し、前記ゲッターリング領域の少なくとも一部は、前記非晶質領域に形成される。

【0 0 4 5】

ある実施形態において、前記ゲッターリング領域の少なくとも一部は、前記結晶質領域に形成される。

【0 0 4 6】

ある実施形態において、前記不純物ドーピング工程は、前記第 2 の加熱処理を行う前に、n 型不純物および／または p 型不純物をドーピングする工程を包含する。

【0 0 4 7】

ある実施形態において、前記ゲッターリング領域を形成する工程は、前記触媒元素を引き寄せる作用を有するゲッターリング元素を前記島状半導体層にドーピングする工程を含む。

【0 0 4 8】

ある実施形態において、前記不純物ドーピング工程の少なくとも一部は、前記ゲッターリング元素ドーピング工程の前に実行される。

【0 0 4 9】

ある実施形態において、前記不純物ドーピング工程の少なくとも一部は、前記ゲッタリング元素ドーピング工程の後に実行される。

【0050】

ある実施形態において、前記不純物ドーピング工程の少なくとも一部は、前記ゲッタリング元素ドーピング工程と同時に実行される。

【0051】

ある実施形態において、前記ゲッタリング元素ドーピング工程は、前記ゲート絶縁膜が薄膜化または除去された領域の前記島状半導体層に、選択的にゲッタリング元素をドーピングすることによって実行される。

【0052】

ある実施形態において、前記ゲッタリング元素ドーピング工程は、前記ゲート絶縁膜が薄膜化または除去された領域の前記島状半導体層に、前記ソース領域およびドレイン領域よりも高い濃度でゲッタリング元素をドーピングする工程を含む。

【0053】

ある実施形態において、前記ゲッタリング元素は、n型を付与する周期表第5族Bに属する不純物元素を含む。

【0054】

ある実施形態において、前記ゲッタリング元素は、n型を付与する周期表第5族Bに属する不純物元素およびp型を付与する周期表第3族Bに属する不純物元素を含む。

【0055】

ある実施形態において、前記ゲッタリング元素は、Ar、KrおよびXeからなる群から選択された少なくとも1種の元素を含む。

【0056】

ある実施形態において、前記ゲッタリング領域における前記ゲッタリング元素の濃度が $1 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の範囲内にある。

【0057】

ある実施形態において、前記ゲッタリング領域形成工程は、前記ゲート絶縁膜が薄膜化または除去された領域の前記島状半導体層を前記ソース領域および前記

ドレイン領域よりも非晶質化する工程を含む。

【 0 0 5 8 】

ある実施形態において、前記ゲッタリング領域は、前記島状半導体層において、電子または正孔が移動する領域以外の領域に形成される。

【 0 0 5 9 】

ある実施形態において、前記ゲッタリング領域は、ソース領域および／またはドレイン領域と隣接し、且つ、チャネル領域とは隣接しないように形成される。

【 0 0 6 0 】

ある実施形態において、前記第 2 の加熱処理工程の後、少なくとも前記ソース領域あるいはドレイン領域の一部を含む領域と接触する配線を形成する工程を更に包含する。

【 0 0 6 1 】

ある実施形態において、結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する工程と、前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る工程と、前記半導体膜をパターンニングすることにより、それぞれが前記結晶質領域を備えた複数の島状半導体層を形成する工程と、前記複数の島状半導体層のそれぞれの上にゲート絶縁膜を形成する工程と、前記複数の島状半導体層のそれぞれの上の前記ゲート絶縁膜上にゲート電極を形成する工程と、前記複数の島状半導体層の内の少なくとも 1 つの島状半導体層のソース領域およびドレイン領域が形成される領域以外の領域上に位置し、且つ、前記ゲート電極が形成されていない領域の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程と、前記複数の島状半導体層のそれぞれにソース領域およびドレイン領域を形成するため、および、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜が薄膜化または除去された領域に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成するためのドーピング工程と、第 2 の加熱処理を行うことにより、前記少なくとも 1 つの島状半導体層中の前記触媒元素の少なくとも一部を前記ゲッタリング領域に移動させる工程とを包含する。

【 0 0 6 2 】

ある実施形態において、前記島状半導体層は、非晶質領域をさらに有し、前記ゲッタリング領域の少なくとも一部は、前記非晶質領域に形成される。

【0063】

ある実施形態において、前記ゲッタリング領域の少なくとも一部は、前記結晶質領域に形成される。

【0064】

ある実施形態において、前記少なくとも1つの島状半導体層は、nチャネル型薄膜トランジスタ用島状半導体層と、pチャネル型薄膜トランジスタ用島状半導体層とを含み、前記ドーピング工程は、前記nチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域および前記ドレイン領域が形成される領域と、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域とに、n型を付与する不純物元素をドーピングするn型ドーピング工程と、前記n型ドーピング工程の後、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域に、p型を付与する不純物元素をドーピングするp型ドーピング工程とを包含する。

【0065】

ある実施形態において、前記少なくとも1つの島状半導体層はpチャネル型薄膜トランジスタ用島状半導体層を含み、前記複数の島状半導体層はnチャネル型薄膜トランジスタ用島状半導体層をさらに含み、前記ドーピング工程は、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域に、p型を付与する不純物元素をドーピングするp型ドーピング工程と、前記p型ドーピング工程の後、前記nチャネル型薄膜トランジスタの前記ソース領域および前記ドレイン領域が形成される領域と、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域とに、n型を付与する不純物元素をドーピングするn型ドーピング工程とを包含する。

【0066】

ある実施形態において、前記少なくとも1つの島状半導体層は、nチャネル型

薄膜トランジスタ用島状半導体層と、pチャネル型薄膜トランジスタ用島状半導体層とを含み、前記ドーピング工程は、前記nチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域と、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域に、n型を付与する不純物元素をドーピングするn型ドーピング工程と、前記n型ドーピング工程の後、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域と、前記nチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域に、p型を付与する不純物元素をドーピングするp型ドーピング工程とを包含する。

【0067】

ある実施形態において、前記少なくとも1つの島状半導体層は、nチャネル型薄膜トランジスタ用島状半導体層と、pチャネル型薄膜トランジスタ用島状半導体層とを含み、前記ドーピング工程は、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域と、前記nチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域とに、p型を付与する不純物元素をドーピングするp型ドーピング工程と、前記p型ドーピング工程の後、前記nチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域、前記ドレイン領域および前記ゲッタリング領域が形成される領域と、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域が形成される領域とに、n型を付与する不純物元素をドーピングするn型ドーピング工程とを包含する。

【0068】

ある実施形態において、前記少なくとも1つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記少なくとも1つの島状半導体層の前記ソース領域および前記ドレイン領域上にマスクを形成する工程と、前記マスクを使用して前記ゲート絶縁膜をエッチングする工程とを包含し、前記マスクは前記ドーピング工程において使用される。

【0069】

ある実施形態において、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記 n 型ドーピング工程と前記 p 型ドーピング工程との間で行われる。

【0070】

ある実施形態において、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記 p 型ドーピング工程と前記 n 型ドーピング工程との間で行われる。

【0071】

ある実施形態において、前記 p 型ドーピング工程は、前記複数の島状半導体層のそれぞれに対して、p 型を付与する不純物元素のドーピングが不要な領域上を覆うマスクを形成する工程を包含し、前記マスクは、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程で使用する。

【0072】

ある実施形態において、前記 n 型ドーピング工程は、前記複数の島状半導体層のそれぞれに対して、n 型を付与する不純物元素のドーピングが不要な領域上を覆うマスクを形成する工程を包含し、前記マスクは、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程で使用する。

【0073】

ある実施形態において、前記少なくとも 1 つの島状半導体層の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記マスクを除去する工程を包含する。

【0074】

ある実施形態の製造方法は、結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する第 1 の工程と、前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第 2 の工程と、前記半導体膜をパターンニングすることにより、それぞれが前記結晶質領域を備え、p チャネル型薄膜トランジス

タ用島状半導体層およびnチャネル型薄膜トランジスタ用島状半導体層を含む複数の島状半導体層を形成する第3の工程と、前記複数の島状半導体層上にゲート絶縁膜を形成する第4の工程と、前記ゲート絶縁膜上に導電膜を形成し、前記導電膜を加工して、前記pチャネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第1のゲート電極を形成する第5の工程と、前記第1のゲート電極をマスクにして、前記pチャネル型薄膜トランジスタ用島状半導体層にp型を付与する不純物元素をドーピングすることによって、ソース領域、ドレイン領域および前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する第6の工程と、前記pチャネル型薄膜トランジスタ用島状半導体層の一部を露出し、前記第1のゲート電極を覆い、且つ、前記nチャネル型薄膜トランジスタ用島状半導体層上に形成する第2のゲート電極を規定するマスクを前記導電膜上に形成する第7の工程と、前記マスクを使用して、前記導電膜を加工し、前記第2のゲート電極を形成する第8の工程と、前記複数の島状半導体層のうち、前記マスク、前記第1のゲート電極および第2のゲート電極に覆われていない領域に、n型を付与する不純物元素をドーピングすることにより、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域にn型不純物をさらにドーピングするとともに、前記nチャネル型薄膜トランジスタ用島状半導体層のソース領域およびドレイン領域を形成する第9の工程と、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域および前記nチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域および前記ドレイン領域に、それぞれの島状半導体層中の前記触媒元素の少なくとも一部を移動させるために、第2の加熱処理を行う第10の工程とを包含し、前記第7の工程後から第8の工程後のいずれかの時点において、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を少なくとも一回含む。

【0075】

ある実施形態において、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記第8の工程と同時に行なわれ、前記pチャネル型薄膜トラン

ジスタ用島状半導体層の一部を露出する前記マスクを使用して行われる。

【0076】

ある実施形態の製造方法は、結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する第1の工程と、前記非晶質半導体膜に対して第1の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第2の工程と、前記半導体膜をパターンニングすることにより、それぞれが前記結晶質領域を備え、nチャネル型薄膜トランジスタ用島状半導体層およびpチャネル型薄膜トランジスタ用島状半導体層を含む複数の島状半導体層を形成する第3の工程と、前記複数の島状半導体層上にゲート絶縁膜を形成する第4の工程と、前記nチャネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第1のゲート電極を形成し、前記pチャネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第2のゲート電極用導電層を形成する第5の工程と、前記第1のゲート電極および前記第2のゲート電極用導電層をマスクにして、n型を付与する不純物元素をドーピングし、前記nチャネル型薄膜トランジスタ用島状半導体層にソース領域およびドレイン領域を形成するとともに、前記pチャネル型薄膜トランジスタ用島状半導体層に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する第6の工程と、前記nチャネル型薄膜トランジスタ用島状半導体層と、前記第2のゲート電極用導電層の一部とを覆うマスクを形成する第7の工程と、前記マスクを用いて、前記第2のゲート電極用導電層を加工し、前記第2のゲート電極を形成する第8の工程と、前記複数の島状半導体層の、前記マスクおよび前記第2のゲート電極に覆われていない領域に、p型を付与する不純物元素をドーピングすることにより、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域にp型不純物をさらにドーピングするとともに、ソース領域およびドレイン領域を形成する第9の工程と、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域および前記nチャネル型薄膜トランジスタ用島状半導体層の前記ソース領域および前記ドレイン領域に、それぞれの島状半導体層中の前記触媒元素の少なくとも一部を移動させるために、第2の加熱処理を行う第10の工程とを包含し、前記第5の工程後から第8の工程後のいずれかの時点において、前記pチャネル

型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を少なくとも一回含む。

【0077】

ある実施形態において、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記第 8 の工程と同時に行なわれ、前記第 1 のゲート電極をマスクとして使用して行なわれる。

【0078】

ある実施形態の製造方法は、結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する第 1 の工程と、前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第 2 の工程と、前記半導体膜をパターンニングすることにより、それぞれが前記結晶質領域を備え、n チャンネル型薄膜トランジスタ用島状半導体層および p チャンネル型薄膜トランジスタ用島状半導体層を含む複数の島状半導体層を形成する第 3 の工程と、前記複数の島状半導体層上にゲート絶縁膜を形成する第 4 の工程と、前記 p チャンネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第 1 のゲート電極を形成し、前記 n チャンネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第 2 のゲート電極用導電層を形成する第 5 の工程と、前記第 1 のゲート電極および前記第 2 のゲート電極用導電層をマスクにして、p 型を付与する不純物元素をドーピングし、前記 p チャンネル型薄膜トランジスタ用島状半導体層のソース領域、ドレイン領域および前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成するとともに、前記 n チャンネル型薄膜トランジスタ用島状半導体層に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する第 6 の工程と、前記 p チャンネル型薄膜トランジスタ用島状半導体層の一部を露出し、前記第 1 のゲート電極を覆い、且つ、前記第 2 のゲート電極用半導体層の一部を覆うマスクを形成する第 7 の工程と、前記マスクを用いて、前記第 2 のゲート電極用導電層を加工し、前記第 2 のゲート電極を形成する第 8 の工程と、前記複数の島状半導体層のうち、前記マスクおよび前記第 2 のゲート電極に覆われていない領域に n 型を付与する不純物元素を

ドーピングすることにより、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域を非晶質化するとともに、前記 n チャンネル型薄膜トランジスタ用島状半導体層にソース領域およびドレイン領域を形成するとともに、前記ゲッタリング領域に n 型を付与する不純物元素をさらにドーピングする第 9 の工程と、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域および前記 n チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域に、前記触媒元素の少なくとも一部を移動させるために、第 2 の加熱処理を行う第 10 の工程とを包含し、前記第 5 の工程後から第 8 の工程後のいずれかの時点において、前記 n チャンネル型薄膜トランジスタ用島状半導体層および／または前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を少なくとも一回含む。

【0079】

ある実施形態において、前記 n チャンネル型薄膜トランジスタ用島状半導体層および／または前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記第 8 の工程と同時に進められ、前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記第 2 のゲート電極用導電層より露出していた領域の前記ゲート絶縁膜、および前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記マスクから露出している領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を包含する。

【0080】

ある実施形態の製造方法は、結晶化を促進する触媒元素を少なくとも一部に含む非晶質半導体膜を用意する第 1 の工程と、前記非晶質半導体膜に対して第 1 の加熱処理を行うことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第 2 の工程と、前記半導体膜をパターンニングすることにより、それぞれが前記結晶質領域を備え、n チャンネル型薄膜トランジスタ用島状半導体層および p チャンネル型薄膜トランジスタ用島状半導体層を含む複数の島状半導体層を形成する第 3 の工程と、前記複数の島状半導体層上にゲート

絶縁膜を形成する第4の工程と、前記nチャネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第1のゲート電極を形成し、前記pチャネル型薄膜トランジスタ用島状半導体層上の前記ゲート絶縁膜上に第2のゲート電極用導電層を形成する第5の工程と、前記第1のゲート電極および前記第2のゲート電極用導電層をマスクにして、n型を付与する不純物元素をドーピングし、前記nチャネル型薄膜トランジスタ用島状半導体層にソース領域、ドレイン領域および前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成するとともに、前記pチャネル型薄膜トランジスタ用島状半導体層に前記触媒元素を引き寄せる作用を有するゲッタリング領域を形成する第6の工程と、前記nチャネル型薄膜トランジスタ用島状半導体層の一部を露出し、前記第1のゲート電極と、前記第2のゲート電極用導電層の一部とを覆うマスクを形成する第7の工程と、前記マスクを使用して、前記第2のゲート電極用導電層を加工し、前記第2のゲート電極を形成する第8の工程と、前記複数の島状半導体層の、前記マスクおよび前記第2のゲート電極に覆われていない領域にp型を付与する不純物元素をドーピングすることにより、前記nチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域を非晶質化するとともに、前記nチャネル型薄膜トランジスタ用島状半導体層にソース領域およびドレイン領域を形成するとともに、前記ゲッタリング領域にp型を付与する不純物元素をさらにドーピングする第9の工程と、前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域および前記nチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域に、前記触媒元素の少なくとも一部を移動させるために、第2の加熱処理を行う第10の工程とを包含し、前記第5の工程後から第8の工程後のいずれかの時点において、前記nチャネル型薄膜トランジスタ用島状半導体層および／または前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を少なくとも一回含む。

【0081】

ある実施形態において、ランジスタ用島状半導体層および／または前記pチャネル型薄膜トランジスタ用島状半導体層の前記ゲッタリング領域上の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程は、前記第8の工程と同時

に行なわれ、前記 n チャンネル型薄膜トランジスタ用島状半導体層の前記マスクから露出している領域上の前記ゲート絶縁膜、および前記 p チャンネル型薄膜トランジスタ用島状半導体層の前記第 2 のゲート電極用導電層より露出していた領域の前記ゲート絶縁膜を選択的に薄膜化または選択的に除去する工程を包含する。

【 0 0 8 2 】

ある実施形態において、前記第 2 のゲート電極用導電層のチャンネル幅方向の幅は、前記第 2 のゲート電極よりも広い。

【 0 0 8 3 】

ある実施形態において、前記ゲッタリング領域にドーピングする n 型を付与する不純物元素の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲内にあり、且つ、前記ゲッタリング領域にドーピングする p 型を付与する不純物元素の濃度は、 $1.5 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の範囲内にある。

【 0 0 8 4 】

ある実施形態において、前記第 2 の加熱処理により、前記複数の島状半導体層の少なくとも前記ソース領域および前記ドレイン領域にドーピングされた n 型を付与する不純物および／または p 型を付与する不純物の活性化を行う。

【 0 0 8 5 】

ある実施形態において、前記非晶質半導体膜を用意する工程は、開口部を有するマスクを前記非晶質半導体膜上に形成する工程と、前記開口部を通して前記触媒元素を前記非晶質半導体膜の選択された領域にドーピングする工程とを含む。

【 0 0 8 6 】

ある実施形態において、前記触媒元素は、Ni、Co、Sn、Pb、Pd、Fe および Cu からなる群から選択された少なくとも 1 種の元素である。

【 0 0 8 7 】

ある実施形態において、前記第 1 の加熱処理の後、前記半導体膜にレーザー光を照射する工程をさらに包含する。

【 0 0 8 8 】

本発明による半導体装置は、上記のいずれかの製造方法によって製造されたことを特徴とする。

【 0 0 8 9 】

本発明による電子機器は、上記のいずれかに記載の半導体装置を備えることを特徴とする。

【 0 0 9 0 】

ある実施形態において、電子機器は、前記半導体装置を有する表示部を備える。

【 0 0 9 1 】**【発明の実施の形態】**

以下に本発明の実施形態による半導体装置およびその製造方法を説明する。

【 0 0 9 2 】

本発明の実施形態の半導体装置は、チャネル領域、ソース領域およびドレイン領域を含む結晶質領域を備えた半導体層と、半導体層の少なくともチャネル領域、ソース領域およびドレイン領域上に形成されたゲート絶縁膜と、ゲート絶縁膜を介してチャネル領域に対向するように形成されたゲート電極とを有する少なくとも1つの薄膜トランジスタを備える。半導体層の少なくとも一部は、結晶化を促進する触媒元素を含み、且つ、半導体層は、チャネル領域、あるいは、ソース領域およびドレイン領域よりも触媒元素を高濃度で含むゲッタリング領域をさらに有し、ゲッタリング領域上のゲート絶縁膜の厚さはソース領域およびドレイン領域上のゲート絶縁膜の厚さよりも小さい、あるいは、ゲート絶縁膜はゲッタリング領域上には形成されていない、という構成を有している。半導体層は、非晶質領域をさらに有し、ゲッタリング領域の少なくとも一部は、非晶質領域に形成されていてもよい。あるいは、ゲッタリング領域の少なくとも一部は、結晶質領域に形成されていてもよい。

【 0 0 9 3 】

本発明による半導体装置の製造方法は、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する工程と、非晶質半導体膜に対して、第1の加熱処理を行うことにより非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る工程と、半導体膜をパターンニングすることにより結晶質領域を備えた島状半導体層を形成する工程と、島状半導体層上にゲー

ト絶縁膜を形成する工程と、島状半導体層において、チャネル領域、ソース領域およびドレイン領域が形成される領域以外の領域上に位置するゲート絶縁膜を選択的に薄膜化または選択的に除去する工程と、島状半導体層上のゲート絶縁膜が薄膜化または除去された領域に触媒元素を引き寄せる作用を有するゲッタリング領域を形成する工程と、島状半導体層の結晶領域にソース領域およびドレイン領域を形成するために不純物をドーピングする工程と、第2の加熱処理を行うことにより、島状半導体層中の触媒元素の少なくとも一部をゲッタリング領域に移動させる工程とを包含する。

【0094】

このように、本発明では、TFT半導体層中に、ソース領域およびドレイン領域とは別にゲッタリング領域を有する。そして、そのゲッタリング領域上に設けられたゲート絶縁膜の厚さが、ソースおよびドレイン領域上よりも薄くなるよう構成される（薄くする代わりに除去してもよい。）。すなわち、ゲート絶縁膜を選択的に薄膜化し、その領域にゲッタリング領域を形成する。トップゲート型TFTにおいては、半導体層に対する不純物元素の注入は、一般的に上層のゲート絶縁膜を介して行なわれる。いわゆるゲート絶縁膜に対してのスルードーピングである。このとき半導体層に注入される不純物元素の濃度と、その領域での結晶状態（非晶質化度合い）は、このイオン注入条件（主に加速電圧とドーズ量）とゲート絶縁膜の膜厚によって決まる。

【0095】

すなわち、本発明の製造方法によると、半導体層において、ソース／ドレイン領域とは別にゲッタリングのための専用領域を設け、上層のゲート絶縁膜の厚さを、低抵抗が要求されるソース／ドレイン領域とゲッタリング能力が要求されるゲッタリング領域とで異ならせ、ゲッタリング領域上の方がゲート絶縁膜が薄くなるようにして、ゲート絶縁膜を介してスルードーピング処理を行うことである。これにより、ゲッタリング領域とソース／ドレイン領域とは異なるドーピング状態とすることができ、ソース／ドレイン領域はゲッタリングに左右されず、実質上分離した工程として、低抵抗化を目的としたn型不純物やp型不純物の添加量の最適化ができる。また、これに対してゲッタリング領域も、ソース／ドレイ

ン領域とは別に、ゲッターリングの目的のみに絞って注入量や非晶質化度合いなどを最適化することができる。

【0 0 9 6】

よって、前述のソース／ドレイン領域をゲッターリング領域として利用する従来方法に比べて、プロセスの短縮や簡略化はそのままに、プロセスマージンを広げることができ、さらにはゲッターリング能力を大きく高めることができる。また、ドーピング装置のスループットも向上することができる。

【0 0 9 7】

さらに、従来のソース／ドレイン領域をゲッターリング領域として用いる方法とは異なり、ソース／ドレイン領域も非ゲッターリング領域となるので、チャネル領域とソース／ドレイン領域との接合部も完璧にゲッターリングが可能であり、T F T 特性上問題となっているオフ動作時のリーク電流の増大をほぼ完全に抑えることができ、さらに高い信頼性も同時に確保することができる。

【0 0 9 8】

また、従来の島状半導体層の外側にゲッターリング領域を形成する方法と異なり、本発明の製造方法を採用すると、ゲッターリング領域の形成およびゲッターリングのための熱処理工程と、ソース・ドレイン領域の形成およびこれらの活性化工程とを兼用することが可能となり、製造方法を簡略化できる利点を得られる。また、ゲッターリングに必要な距離が比較的短くなるように形成できるので、ゲッターリングのための熱処理時間が比較的短くても、十分なゲッターリング効率を得ることができる。また、最終的にゲッターリング領域を残すことによって、T F T 駆動時に触媒元素がチャネル領域へと逆流し、信頼性が低下するという問題の発生を抑制・防止できる。さらに、ゲッターリング領域はソース・ドレイン領域と独立に形成されており、最終的な状態でも十分に高いゲッターリング能力を有し得るので、信頼性の高いT F Tを得ることができる。

【0 0 9 9】

このように、本発明により、触媒元素の偏析によるリーク電流の発生を抑制することができ、特に画素部のスイッチング素子や駆動回路のサンプリング素子やメモリ素子のように、オフ動作時の低リーク電流が要求されるT F Tで良好な特

性が得られる。また、触媒元素を用いて結晶化を行った半導体膜は良好な結晶性を示すため、本発明のTFETは、高い電界効果移動度を必要とする駆動回路の素子として用いる場合にも良好な特性を得ることができる。

【0100】

本発明の好ましい実施形態による半導体装置は、半導体層内におけるゲッタリング領域が、薄膜トランジスタの動作時において電子または正孔が移動する領域外に配置されている。このような配置構成にすることで、前述のように、半導体層内において、ソース／ドレイン領域と完全に役割を分離でき、ゲッタリング領域をゲッタリングのためだけの専用領域として抵抗等に関係なく、ゲッタリング領域の状態（非晶質の程度・ゲッタリング元素濃度）を最適化することが可能となる。また、ゲッタリング領域は、チャネル領域とは隣接しないように形成されることが望ましい。このようにゲッタリング領域を配置することで、前述のようにチャネル領域とソース／ドレイン領域との接合部を完璧にゲッタリングすることが可能になる。

【0101】

ある実施形態の半導体装置においては、半導体層のチャネル領域とソース領域あるいはドレイン領域との接合部に、低濃度不純物領域（LDD領域）を設けてもよい。このLDD領域は、接合部にかかる電界集中を緩和し、オフ動作時のリーク電流の低減やホットキャリア耐性を向上することができる。このような構成を採用した場合でも、チャネル領域とLDD領域との接合部、およびLDD領域とソース／ドレイン領域との接合部の触媒を十分にゲッタリングすることができる。

【0102】

また、ある実施形態において、ゲッタリング領域は半導体層（薄膜トランジスタの活性領域）の外縁部に形成されており、薄膜トランジスタを電氣的に接続する配線との接続は、ソース領域あるいはドレイン領域の少なくとも一部の領域で行われている。あるいは、薄膜トランジスタを電氣的に接続する配線との接続は、ゲッタリング領域の一部を含んだ領域およびソース領域あるいはドレイン領域で行われている。このような領域で配線との電氣的な接続を行うと、薄膜トラン

ジスタにおいて、キャリア（電子またはホール）がゲッターリング領域を介さずに移動することができ、前述のようにゲッターリング領域を専用化できるので、ゲッターリング領域を最適化することができる。このような構成を得るための製造方法は、第2の加熱処理の後、少なくともソース領域あるいはドレイン領域の一部を含む領域とコンタクトする配線を形成する工程を更に包含する。

【0103】

本発明のある実施形態においては、ゲッターリング領域上のゲート絶縁膜を選択的に薄膜化することがポイントであるが、より大きな効果を得るためには、これらのゲッターリング領域上においてさらに薄膜化を進め、ついにはゲート絶縁膜が無い状態としてもよい。すなわち、製造方法としては、島状半導体層において、チャンネル領域、ソース領域およびドレイン領域が形成される領域以外の領域に対して、上層のゲート絶縁膜を選択的に薄膜化する工程は、領域のゲート絶縁膜をエッチング除去するものであることを特徴としている。このような状態とすることで、完全にゲッターリング領域とソース／ドレイン領域とのドーピング条件を分離でき、より大きな効果が得られる。

【0104】

さて、本発明においては、ゲッターリング元素をドーピングするとしては、以下の3つの方法がある。但し、これらの方法は、それぞれ単独のものでなく、2つ以上を組み合わせ用いてもよい。

【0105】

まず一つ目は、ゲッターリング領域を形成するためのドーピング工程は、島状半導体層において、上層のゲート絶縁膜を薄膜化した領域に、選択的にゲッターリング効果を有する元素（ゲッターリング元素）をドーピングすることで行う。従ってこのようにして作製された半導体装置のゲッターリング領域には、ゲッターリング元素が含まれている。すなわち、上層のゲート絶縁膜が薄膜化されているため、ゲッターリング領域には、選択的に多量のゲッターリング元素の導入が可能であり、ゲッターリング領域の能力を大きく高めることができる。

【0106】

二つ目は、ゲッターリング領域を形成するためのドーピング工程は、島状半導体

層において、上層のゲート絶縁膜を薄膜化した領域に、ソース領域およびドレイン領域よりも高い濃度でゲッタリング元素をドーピングすることで行う。従って、半導体装置のゲッタリング領域には、ソース領域およびドレイン領域よりも高い濃度でゲッタリング元素が含まれている。前述の一つ目の方法と比べて、ゲッタリング領域以外にもゲッタリング元素を含むが、ゲート絶縁膜の膜厚差を利用してゲッタリング領域により多量のゲッタリング元素を導入し、そこに強いゲッタリング作用を持たせることで、ソース／ドレイン領域をもゲッタリングするものである。

【0107】

ここで、ゲッタリング元素としては、前述のようにn型を付与する周期表第5族Bに属する不純物元素を利用することができる。このような元素を半導体膜に導入した場合には、その領域での触媒元素に対する固溶度が上がり、前述の第1のゲッタリング作用が引き起こされる。したがって、この二つ目の方法は、特に、nチャネル型薄膜トランジスタにおいて有効であり、本発明のある実施形態の半導体装置においては、nチャネル型薄膜トランジスタにおいて、ゲッタリング領域には、n型を付与する周期表第5族Bに属する不純物元素が、ソース領域あるいはドレイン領域よりも高濃度で含まれている。

【0108】

n型を付与する周期表第5族Bに属する不純物元素に加えて、p型を付与する周期表第3族Bに属する不純物元素を同時に用いることで、ゲッタリング元素として大きな効果が得られる。すなわち、ゲッタリング領域には、ゲッタリング元素として、n型を付与する周期表第5族Bに属する不純物元素と、p型を付与する周期表第3族Bに属する不純物元素と、が含まれていることを特徴としている。ゲッタリング領域に5族B元素だけでなく、3族B元素をドーピングすると、ゲッタリングメカニズムが変わり、リンのみの場合の第1のゲッタリング作用に加えて、第2のゲッタリング作用が優勢になる。これにより、ゲッタリング能力は高められ、より大きなゲッタリング効果が得られる。このときのそれぞれの具体的な元素としては、5族Bから選ばれた元素としてP（リン）、3族B元素から選ばれた元素としてB（ホウ素）を用いた場合に最も効果が高い。

【0109】

このときにゲッタリング領域に含まれる不純物元素の濃度として、本発明では、ゲッタリング領域には、 $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度のn型を付与する不純物元素と、 $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ の濃度のp型を付与する不純物元素と、が含まれていることを特徴としている。この範囲内の濃度であれば、十分なゲッタリング効率が得られる。この濃度以上に上げても、ゲッタリング効率は飽和しており、余分な処理時間が必要となるだけでメリットは無い。

【0110】

また、本発明において、上記の元素以外に利用できるゲッタリング元素としては、Ar、Kr、Xeから選ばれた一種または複数種類の希ガス元素がある。すなわち、本発明のある実施形態では、ゲッタリング領域には、ゲッタリング元素として、Ar、Kr、Xeから選ばれた一種または複数種類の希ガス元素が含まれている。ゲッタリング領域にこれらの希ガス元素が存在すると、そこで大きな格子間歪みが生じ、欠陥・偏析サイトによる第2のゲッタリング作用が強力に働く。このときにゲッタリング領域に含まれる希ガス元素の濃度として、 $1 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms} / \text{cm}^3$ の濃度の希ガス元素が含まれていることが好ましい。この範囲内の濃度であれば、十分なゲッタリング効率が得られる。この濃度以上に上げても、ゲッタリング効率は飽和しており、余分な処理時間が必要となるだけでメリットは無い。

【0111】

本発明における三つ目のゲッタリング領域を形成する方法として、ゲッタリング元素をドーピングする方法は、島状半導体層において、上層のゲート絶縁膜を薄膜化した領域の非晶質化を、ソース領域およびドレイン領域よりも進行させることで行う。従って、この方法によって作製された半導体装置では、ゲッタリング領域は、チャネル領域、あるいはソース領域、ドレイン領域に比べて、非晶質成分が多く結晶質成分が少ない。非晶質領域においては、結晶質領域よりも触媒元素の自由エネルギーが低いために、触媒元素が非晶質領域へと拡散し易いような性質を有する。さらに、不對結合手や格子欠陥などが、触媒元素をトラップする偏析サイトを形成し、そこに触媒元素を移動させトラップさせるといった第2のゲ

ッタリング作用を引き起こす。TFT半導体層中にソース領域およびドレイン領域とは別にゲッタリング領域を有し、そのゲッタリング領域はTFTのキャリア（電子または正孔）の移動を妨げないように配置させることができるので、ゲッタリング領域が非晶質化し、高抵抗となっても、それに伴う影響をTFTとしては全く受けない構成とできる。したがって、従来は使用が困難であった高いゲッタリング能力を有する非晶質状態のゲッタリング領域を半導体層内に構成することができる。

【0112】

このときのゲッタリング領域と、チャネル領域、ソース／ドレイン領域の結晶状態の具体的な測定評価手段としては、ラマン分光スペクトルにおける非晶質半導体のTOフォノンピーク P_a と結晶半導体のTOフォノンピーク P_c との比 P_a/P_c を用いるのが有効である。例えばケイ素膜の場合は、結晶SiのTOフォノンによるピーク P_c は、 520 cm^{-1} 近傍に現れ、非晶質SiのTOフォノンによるピーク P_a は、その状態密度を反映し 480 cm^{-1} 近傍にブロードな形状で現れる。すなわち、ゲッタリング領域が、チャネル領域、あるいはソース・ドレイン領域に比べて、ラマン分光スペクトルにおける非晶質半導体のTOフォノンピーク P_a と結晶半導体のTOフォノンピーク P_c との比 P_a/P_c が相対的に大きくなるように構成することで、本発明に必要なゲッタリング効率を確保することができ、前述の効果を得ることができる。また、本発明の製造方法においては、ゲッタリング領域におけるラマン分光スペクトルの非晶質半導体のTOフォノンピーク P_a と結晶半導体のTOフォノンピーク P_c との比 P_a/P_c が、ソース領域／ドレイン領域よりも相対的に大きくなるような状態を形成した後、その状態を第2の加熱処理の後も保持することが望ましい。このような状態で、最終のTFT半導体層を構成することで、TFT駆動時においても、常にゲッタリング工程時と同レベルのゲッタリング能力を保ち、ゲッタリング領域からの触媒元素の逆拡散を防ぎことができ、半導体装置の信頼性を高めることができる。

【0113】

本発明によるある実施形態の製造方法は、さらに、第2の加熱処理を行う前に

、島状半導体層の選択された領域に n 型不純物または p 型不純物をドーピングする工程を更に包含する。n 型不純物または p 型不純物をドーピングする工程は、ゲッタリング元素をドーピングするの前行ってもよいし、あるいは、n 型不純物または p 型不純物をドーピングする工程は、ゲッタリング元素をドーピングするの後に行ってもよい。すなわち、半導体層のソース領域およびドレイン領域を形成するためのドーピング工程に関しては、ゲッタリング元素をドーピングするの前行なっても、後に行なっても、同様に本発明の効果は得られる。または、n 型不純物または p 型不純物をドーピングする工程は、ゲッタリング元素をドーピングすると同時に行ってもよい。すなわち、n 型不純物は、それ自体がゲッタリング元素として作用するため、特に n チャネル型薄膜トランジスタの場合には、そのソース／ドレイン領域を形成する n 型不純物のドーピング工程と兼ねて行なうことができる。これにより、ゲッタリングのための付加工程がなく、プロセスの簡略化が図れる。

【0114】

本発明による他の実施形態の製造方法は、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する工程と、非晶質半導体膜に対して第 1 の加熱処理を行うことにより、非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る工程と、半導体膜をパターンニングすることにより、それぞれが結晶質領域を備えた複数の島状半導体層を形成する工程と、島状半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、複数の島状半導体層の内、少なくとも一部の島状半導体層において、ソース領域およびドレイン領域が形成される領域以外の領域に対して、上層のゲート絶縁膜を選択的に薄膜化する工程と、複数の島状半導体層において、ソース領域およびドレイン領域と、少なくとも一部の島状半導体層において、上層のゲート絶縁膜を薄膜化した領域にゲッタリング領域とを形成するドーピング工程と、第 2 の加熱処理を行うことにより、島状半導体層中の触媒元素の少なくとも一部をゲッタリング領域に移動させる工程とを包含する。

【0115】

ここで、ドーピング工程は、島状半導体層のうち、n チャネル型薄膜トランジスタのソース領域、ドレイン領域が形成される領域と、島状半導体層のうち、p

チャンネル型薄膜トランジスタのゲッタリング領域が形成される領域とに対して、
n 型を付与する不純物元素をドーピングする n 型ドーピング工程と、n 型ドーピング
工程の後、島状半導体層のうち、p チャンネル型薄膜トランジスタのソース領域、
ドレイン領域およびゲッタリング領域が形成される領域に対して、p 型を付与す
る不純物元素をドーピングする p 型ドーピング工程とを包含する。

【0116】

あるいは、ドーピング工程は、島状半導体層のうち、p チャンネル型薄膜トラン
ジスタのソース領域、ドレイン領域およびゲッタリング領域が形成される領域に
対して、p 型を付与する不純物元素をドーピングする p 型ドーピング工程と、p 型ド
ーピング工程の後、島状半導体層のうち、n チャンネル型薄膜トランジスタのソー
ス領域、ドレイン領域が形成される領域と、島状半導体層のうち、p チャンネル型
薄膜トランジスタのゲッタリング領域が形成される領域とに対して、n 型を付与
する不純物元素をドーピングする n 型ドーピング工程とを包含してもよい。

【0117】

そして、これらの製造方法により形成される半導体装置は、チャンネル領域、ソー
ス領域およびドレイン領域を含む結晶質領域を備えた半導体層と、半導体層上
に設けられたゲート絶縁膜と、ゲート電極と、を有する n チャンネル型薄膜トラン
ジスタ、および、チャンネル領域、ソース領域、およびドレイン領域を含む結晶質
領域とゲッタリング領域とを備えた半導体層と、半導体層上に設けられたゲート
絶縁膜と、ゲート電極と、を有する p チャンネル型薄膜トランジスタを備えた半導
体装置であって、p チャンネル型薄膜トランジスタのゲッタリング領域上のゲート
絶縁膜の厚さは、p チャンネル型薄膜トランジスタのソース領域およびドレイン領
域上のゲート絶縁膜の厚さよりも薄い。

【0118】

すなわち、これらの製造方法では、CMOS 回路のように、n チャンネル型 T F
T と p チャンネル型 T F T とを同時に形成する際、それぞれのソース／ドレイン領
域を形成する n 型ドーピング工程と p 型ドーピング工程とを上手く利用して、ゲ
ッタリング領域を同時形成することで、工程簡略化を図るものである。特に、p
チャンネル型 T F T では、p 型不純物そのものはゲッタリング元素として機能しな

いために、nチャネル型TFTのソース／ドレイン領域を形成する際のn型ドーピング工程を利用して、ゲッタリング元素となるn型不純物をゲッタリング領域に注入する。ゲッタリング領域上層のゲート絶縁膜が薄膜化された状態で、n型不純物の注入あるいはp型不純物の注入をゲート絶縁膜を介して行なうことで、ゲッタリング領域中におけるn型不純物、あるいはp型不純物の濃度が高まり、またその領域の結晶が破壊され易くなる。これに対して、上層のゲート絶縁膜が厚いソース／ドレイン領域では、これらのドーピング時のダメージが小さく、結晶状態を保ったまま低抵抗化が図れる。また、上記製造方法では、nチャネル型TFTでは、n型不純物がドーパされたソース／ドレイン領域をゲッタリング領域として用い、ゲッタリング領域を設けておらず、pチャネル型TFTのみにゲッタリング領域を設ける構成となる。

【0119】

また、上記製造方法において、ドーピング工程は、島状半導体層のうち、nチャネル型薄膜トランジスタのソース領域、ドレイン領域およびゲッタリング領域が形成される領域と、島状半導体層のうち、pチャネル型薄膜トランジスタのゲッタリング領域が形成される領域とに対して、n型を付与する不純物元素をドーピングするn型ドーピング工程と、n型ドーピング工程の後、島状半導体層のうち、pチャネル型薄膜トランジスタのソース領域、ドレイン領域およびゲッタリング領域が形成される領域と、島状半導体層のうち、nチャネル型薄膜トランジスタのゲッタリング領域が形成される領域とに対して、p型を付与する不純物元素をドーピングするp型ドーピング工程とを包含してもよい。

【0120】

あるいは、ドーピング工程は、島状半導体層のうち、pチャネル型薄膜トランジスタのソース領域、ドレイン領域およびゲッタリング領域が形成される領域と、島状半導体層のうち、nチャネル型薄膜トランジスタのゲッタリング領域が形成される領域とに対して、p型を付与する不純物元素をドーピングするp型ドーピング工程と、p型ドーピング工程の後、島状半導体層のうち、nチャネル型薄膜トランジスタのソース領域、ドレイン領域およびゲッタリング領域が形成される領域と、島状半導体層のうち、pチャネル型薄膜トランジスタのゲッタリング領域

が形成される領域とに対して、n型を付与する不純物元素をドーピングするn型ドーピング工程とを包含してもよい。

【0121】

そして、これらの製造方法により形成される半導体装置の構成としては、チャネル領域、ソース領域およびドレイン領域を含む結晶質領域とゲッタリング領域とを備えた半導体層と、半導体層上に設けられたゲート絶縁膜と、ゲート電極と、を有するnチャネル型薄膜トランジスタ、および、チャネル領域、ソース領域およびドレイン領域を含む結晶質領域とゲッタリング領域とを備えた半導体層と、半導体層上に設けられたゲート絶縁膜と、ゲート電極と、を有するpチャネル型薄膜トランジスタを備えた半導体装置であって、少なくともnチャネル型薄膜トランジスタにおけるゲッタリング領域上のゲート絶縁膜の厚さは、nチャネル型薄膜トランジスタのソース領域およびドレイン領域上のゲート絶縁膜の厚さよりも薄いことを特徴としている。

【0122】

あるいは、チャネル領域、ソース領域およびドレイン領域を含む結晶質領域とゲッタリング領域とを備えた半導体層と、半導体層上に設けられたゲート絶縁膜と、ゲート電極と、を有するnチャネル型薄膜トランジスタ、および、チャネル領域、ソース領域およびドレイン領域を含む結晶質領域とゲッタリング領域とを備えた半導体層と、半導体層上に設けられたゲート絶縁膜と、ゲート電極と、を有するpチャネル型薄膜トランジスタを備えた半導体装置であって、少なくともpチャネル型薄膜トランジスタのゲッタリング領域上のゲート絶縁膜の厚さは、pチャネル型薄膜トランジスタのソース領域およびドレイン領域上のゲート絶縁膜の厚さよりも薄いことを特徴としている。

【0123】

すなわち、これらの製造方法では、nチャネル型TFETとpチャネル型TFETとを同時に形成する際、それぞれのソース／ドレイン領域を形成するn型ドーピング工程とp型ドーピング工程とを上手く利用して、pチャネル型TFETに加えて、nチャネル型TFETにもゲッタリング領域を同時形成するものであり、同様に工程簡略化を図れる。p型不純物そのものはゲッタリング元素として機能しな

いが、n 型不純物と共に存在することで、強いゲッターリング作用を有する。このため、n チャネル型 T F T の半導体層にも n 型不純物と p 型不純物とがドーピングされたゲッターリング領域を形成することで、n チャネル型 T F T におけるゲッターリング能力をより高められる。また、n チャネル型 T F T のゲッターリング領域においては、上層のゲート絶縁膜が選択的に薄膜化されているため、ソース／ドレイン領域に比べてより多くの n 型不純物が導入でき、さらにゲッターリング能力を高められる。

【0124】

従来のゲート絶縁膜が選択的に薄膜化されていない場合には、T F T 半導体層内にゲッターリング領域をソース／ドレイン領域とは別に形成していたとしても、ゲッターリング能力をより高めるために、ゲッターリング元素である n 型不純物を多量にドーピングすると、ゲッターリング領域と同時に、同量の n 型不純物がソース／ドレイン領域にもドーピングされる。ゲッターリングを目的とした n 型不純物の量は、ソース／ドレイン領域としては過剰であり、抵抗が下がるどころか、そのドーピングダメージにより非晶質化が生じ、非常に高抵抗化する。p 型不純物においても同様であるが、このような効果は n 型不純物の方がより顕著であり、特に n チャネル型 T F T で大きな問題となる。本発明では、上層のゲート絶縁膜の膜厚を、ゲッターリング領域とソース／ドレイン領域とで異ならせることで、それぞれの目的に適したドーピングが同時に行なえるようになる。すなわち、上層のゲート絶縁膜が薄いゲッターリング領域には、n 型不純物や p 型不純物がソース／ドレイン領域よりも多量にドーピングされ、そのときのドーピングダメージにより非晶質化が進行し、ゲッターリング領域としてはベストの状態となっている一方、上層のゲート絶縁膜の厚いソース／ドレイン領域では、これらのドーピング時のドーピングダメージが小さく、結晶状態を保ったまま低抵抗化が図れる訳である。

【0125】

図 19 に、本発明者らが実験したドーピング装置における n 型不純物のプロファイルデータの一例を示す。図 19 は、S I M S（2 次イオン質量分析法）によるデータで、n 型不純物としてリンが酸化ケイ素膜中にドーピングされたときの膜厚方向の濃度プロファイルである。横軸が表面からの深さを示し、0 点が最表

面である。深さ 1000 \AA (100 nm) の位置に比べて、深さ 500 \AA (50 nm) の位置では、リンの濃度が5倍程度になっている。すなわち、例えば、ソース／ドレイン領域上のゲート絶縁膜の膜厚を 100 nm とし、ゲッタリング領域上のゲート絶縁膜の膜厚を 50 nm に薄膜化させ、 n 型不純物としてリンのドーピングを行なうと、ゲッタリング領域のリンの濃度は、ソース／ドレイン領域の5倍の値となる。それだけでなく、上層のゲート絶縁膜が薄い分、ゲート絶縁膜の厚いソース／ドレイン領域に比べて相対的に高い加速電圧でリンイオンが半導体層中に注入されるため、個々のイオンの衝撃エネルギーが大きく、ゲッタリング領域では、さらに結晶性が崩れ、非晶質化が進行する。これに対して、ソース／ドレイン領域では、ゲート絶縁膜が厚いため、リンが過剰に注入されず、また注入時におけるイオンの衝撃エネルギーも低下するため、非晶質化がおこらず、結晶状態を維持することができる。このようにして、簡易に、ゲッタリング領域とソース／ドレイン領域とを、それぞれの目的に見合った状態で作り分けることができる。

【0126】

ここで、本発明のある実施形態の製造方法では、複数の島状半導体層の内、少なくとも一部の島状半導体層において、ソース領域およびドレイン領域が形成される領域以外の領域に対して、上層のゲート絶縁膜を選択的に薄膜化する工程は、ソース領域、ドレイン領域上にマスクを形成してゲート絶縁膜をエッチングすることにより行われ、上記マスクは後のドーピング工程時に使用する。このように、ゲート絶縁膜の選択エッチングに用いたマスクをそのまま用い、それをドーピング工程に使用することで、本発明の特徴であるゲッタリング領域上のゲート絶縁膜の薄膜化工程ための専用のフォトリソ工程を無くすことができ、プロセスの簡略化が図れる。

【0127】

さらに、本発明のある実施形態では、複数の島状半導体層の内、少なくとも一部の島状半導体層において、ソース領域およびドレイン領域が形成される領域以外の領域（ゲッタリング領域が形成される領域）に対して、上層のゲート絶縁膜を選択的に薄膜化する工程は、 n 型ドーピング工程と p 型ドーピング工程との間

で行われる。ここで、p型ドーピング工程は、それぞれの半導体層において、p型を付与する不純物元素のドーピングが不要な領域上をマスクで覆うことを行ない、その後行われるゲート絶縁膜を選択的に薄膜化する工程は、p型ドーピング工程で使用したマスクを用いて行ってもよい。

【0128】

あるいは、複数の島状半導体層の内、少なくとも一部の島状半導体層において、ソース領域およびドレイン領域が形成される領域以外の領域（ゲッタリング領域が形成される領域）に対して、上層のゲート絶縁膜を選択的に薄膜化する工程は、p型ドーピング工程とn型ドーピング工程との間で行われてもよい。また、ここで、n型ドーピング工程は、それぞれの半導体層において、n型を付与する不純物元素のドーピングが不要な領域上をマスクで覆うことを行ない、その後行われるゲート絶縁膜を選択的に薄膜化する工程は、n型ドーピング工程で使用したマスクを用いて行ってもよい。

【0129】

このように、先のn型あるいはp型ドーピング工程で利用したドーピングマスクをそのまま利用し、ゲート絶縁膜の薄膜化を行ない、選択的に薄膜化されたゲート絶縁膜を通して次のp型あるいはn型ドーピング工程を行なうことで、同様に工程の簡略化が行なえる。さらには、ゲート絶縁膜を選択的に薄膜化する工程では、p型ドーピング工程あるいはn型ドーピング工程で使用したマスクを除去する工程を、同時に行うことを特徴とする。すなわち、ドーピングマスクを除去する際に、ゲート絶縁膜の薄膜化を同時に行なうことで、さらなる工程の簡略化が行なえ、従来法に対する工程付加は全くない状態で、本発明の作用・効果が得られる。具体的には、フォトリジストによるドーピングマスクを用い、そのレジストを酸素系のプラズマにより除去（アッシング）する際に、同時にエッチングガスを混ぜ、ゲート絶縁膜の薄膜化を行なえばよい。

【0130】

本発明における他の製造方法としては、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する第1の工程と、非晶質半導体膜に対して第1の加熱処理を行うことにより、非晶質半導体膜の少なくとも一部を結

晶化し、結晶質領域を含む半導体膜を得る第2の工程と、半導体膜をパターンニングすることにより、それぞれが結晶質領域を備えた複数の島状半導体層を形成する第3の工程と、島状半導体層上にゲート絶縁膜を形成する第4の工程と、ゲート絶縁膜上に導電膜を形成し、上記導電膜を加工して、島状半導体層のうち、pチャネル型薄膜トランジスタが形成される領域のゲート絶縁膜上に第1のゲート電極を形成する第5の工程と、第1のゲート電極をマスクにして、島状半導体層にp型を付与する不純物元素をドーピングし、pチャネル型薄膜トランジスタのためのソース領域、ドレイン領域およびゲッタリング領域を形成する第6の工程と、pチャネル型薄膜トランジスタの島状半導体層の一部を露出するマスクを第1のゲート電極を覆うように形成するとともに、nチャネル型薄膜トランジスタのための第2のゲート電極を規定する上記マスクを導電膜上に形成する第7の工程と、上記マスクを用いて、導電膜を加工し、nチャネル型薄膜トランジスタのための第2のゲート電極を形成する第8の工程と、島状半導体層のうち、マスクおよびゲート電極に覆われていない領域に対して、n型を付与する不純物元素をドーピングすることにより、pチャネル型薄膜トランジスタのためのゲッタリング領域を形成するとともに、nチャネル型薄膜トランジスタのソース領域、ドレイン領域を形成する第9の工程と、pチャネル型薄膜トランジスタのゲッタリング領域およびnチャネル型薄膜トランジスタのソース領域およびドレイン領域に、島状半導体層中の触媒元素の少なくとも一部を移動させるため、第2の加熱処理を行う第10の工程と、を包含する半導体装置の製造方法であって、第7の工程後から第8の工程後のいずれかの時点において、pチャネル型薄膜トランジスタの島状半導体層におけるゲッタリング領域上のゲート絶縁膜を薄膜化する工程を少なくとも一回以上含む。

【0131】

また、ここで、pチャネル型薄膜トランジスタの島状半導体層におけるゲッタリング領域上のゲート絶縁膜を薄膜化する工程は、第8の工程と同時に進行され、pチャネル型薄膜トランジスタの島状半導体層の一部を露出するマスクを用い、pチャネル型薄膜トランジスタの島状半導体層上において露出している領域上のゲート絶縁膜を薄膜化することにより行われてもよい。

【0132】

このような製造方法により、本発明の半導体装置が実現でき、上記課題を解決し、上記目的を達成することができる。さらに、この製造方法では、ゲート電極の形成工程を利用して、ドーピング工程およびゲート絶縁膜の薄膜化工程におけるマスクを形成するため、さらにフォトリソ工程を低減することができる。その結果、製造工程を簡略化でき、半導体装置の製造コストを低減することができるとともに、良品率の向上が図れる。

【0133】

さらに、上記製造方法で、一部の工程を入れ替え、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する第1の工程と、非晶質半導体膜に対して第1の加熱処理を行うことにより、非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第2の工程と、半導体膜をパターンニングすることにより、それぞれが結晶質領域を備えた複数の島状半導体層を形成する第3の工程と、島状半導体層上にゲート絶縁膜を形成する第4の工程と、島状半導体層のうち、nチャネル型薄膜トランジスタが形成される領域のゲート絶縁膜上に第1のゲート電極を形成し、pチャネル型薄膜トランジスタが形成される領域のゲート絶縁膜上に第2のゲート電極用導電層を形成する第5の工程と、第1のゲート電極および第2のゲート電極用導電層をマスクにして、島状半導体層にn型を付与する不純物元素をドーピングし、nチャネル型薄膜トランジスタのためのソース領域、ドレイン領域を形成するとともに、pチャネル型薄膜トランジスタのためのゲッタリング領域を形成する第6の工程と、nチャネル型薄膜トランジスタの島状半導体層を覆うようにマスクを形成するとともに、pチャネル型薄膜トランジスタのための第2のゲート電極を規定するマスクを第2のゲート電極用導電層上に形成する第7の工程と、上記マスクを用いて、第2のゲート電極用導電層を加工し、第2のゲート電極を形成する第8の工程と、島状半導体層のうち、上記マスクおよび第2のゲート電極に覆われていない領域に対して、p型を付与する不純物元素をドーピングすることにより、pチャネル型薄膜トランジスタのソース領域、ドレイン領域およびゲッタリング領域を形成する第9の工程と、pチャネル型薄膜トランジスタのゲッタリング領域およびnチャネル型

薄膜トランジスタのソース領域およびドレイン領域に、島状半導体層中の触媒元素の少なくとも一部を移動させるため、第2の加熱処理を行う第10の工程と、を包含する半導体装置の製造方法であって、第5の工程後から第8の工程後のいずれかの時点において、pチャネル型薄膜トランジスタの島状半導体層におけるゲッタリング領域上のゲート絶縁膜を薄膜化する工程を少なくとも一回以上含むようにしても、同様の効果が得られる。

【0134】

また、ここで、pチャネル型薄膜トランジスタの島状半導体層におけるゲッタリング領域上のゲート絶縁膜を薄膜化する工程は、第8の工程と同時に行なわれ、pチャネル型薄膜トランジスタの島状半導体層上において第1のゲート電極より露出していた領域のゲート絶縁膜を薄膜化することにより行なわれることが望ましい。これにより、上記目的を達成できると共に、工程の簡略化が図れる。

【0135】

あるいは、上記の製造方法で、nチャネル型薄膜トランジスタにもゲッタリング領域を設け、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する第1の工程と、非晶質半導体膜に対して第1の加熱処理を行うことにより、非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第2の工程と、半導体膜をパターンニングすることにより、それぞれが結晶質領域を備えた複数の島状半導体層を形成する第3の工程と、島状半導体層上にゲート絶縁膜を形成する第4の工程と、島状半導体層のうち、pチャネル型薄膜トランジスタが形成される領域のゲート絶縁膜上に第1のゲート電極を形成し、nチャネル型薄膜トランジスタが形成される領域のゲート絶縁膜上に第2のゲート電極用導電層を形成する第5の工程と、第1のゲート電極および第2のゲート電極用導電層をマスクにして、島状半導体層にp型を付与する不純物元素をドーピングし、pチャネル型薄膜トランジスタのためのソース領域、ドレイン領域およびゲッタリング領域を形成するとともに、nチャネル型薄膜トランジスタのためのゲッタリング領域を形成する第6の工程と、pチャネル型薄膜トランジスタの島状半導体層の一部を露出するマスクを第1のゲート電極を覆うように形成するとともに、nチャネル型薄膜トランジスタのための第2のゲート電極を規

定するマスクを第2のゲート電極用導電層上に形成する第7の工程と、上記マスクを用いて、第2のゲート電極用導電層を加工し、第2のゲート電極を形成する第8の工程と、島状半導体層のうち、上記マスクおよび第2のゲート電極に覆われていない領域に対して、n型を付与する不純物元素をドーピングすることにより、pチャネル型薄膜トランジスタのための非晶質化したゲッタリング領域を形成するとともに、nチャネル型薄膜トランジスタのソース領域、ドレイン領域およびゲッタリング領域を形成する第9の工程と、ゲッタリング領域に、島状半導体層中の触媒元素の少なくとも一部を移動させるため、第2の加熱処理を行う第10の工程と、を包含する半導体装置の製造方法であって、第5の工程後から第8の工程後のいずれかの時点において、nチャネル型薄膜トランジスタあるいは／およびpチャネル型薄膜トランジスタの島状半導体層におけるゲッタリング領域上のゲート絶縁膜を薄膜化する工程を少なくとも一回以上含むようにしても、同様の効果が得られる。特に、nチャネル型薄膜トランジスタにも専用のゲッタリング領域が設けられ、高いゲッタリング能力を付与することができる。

【0136】

また、ここで、nチャネル型薄膜トランジスタおよびpチャネル型薄膜トランジスタの島状半導体層におけるゲッタリング領域上のゲート絶縁膜を薄膜化する工程は、第8の工程と同時に行なわれ、nチャネル型薄膜トランジスタの島状半導体層上において、第2のゲート電極より露出していた領域のゲート絶縁膜を薄膜化すると共に、pチャネル型薄膜トランジスタの島状半導体層上において、上記島状半導体層に形成されたマスクから露出している領域上のゲート絶縁膜を薄膜化することにより行なわれるようにすればよい。これにより、上記目的を達成できると共に、工程の簡略化が図れる。

【0137】

あるいは、上記の製造方法で、一部の工程順を入れ替え、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する第1の工程と、非晶質半導体膜に対して第1の加熱処理を行うことにより、非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る第2の工程と、半導体膜をパターニングすることにより、それぞれが結晶質領域を備えた複数の島状

半導体層を形成する第3の工程と、島状半導体層上にゲート絶縁膜を形成する第4の工程と、島状半導体層のうち、nチャネル型薄膜トランジスタが形成される領域のゲート絶縁膜上に第1のゲート電極を形成し、pチャネル型薄膜トランジスタが形成される領域のゲート絶縁膜上に第2のゲート電極用導電層を形成する第5の工程と、第1のゲート電極および第2のゲート電極用導電層をマスクにして、島状半導体層にn型を付与する不純物元素をドーピングし、nチャネル型薄膜トランジスタのためのソース領域、ドレイン領域およびゲッタリング領域を形成するとともに、pチャネル型薄膜トランジスタのためのゲッタリング領域を形成する第6の工程と、nチャネル型薄膜トランジスタの島状半導体層の一部を露出するマスクを第1のゲート電極を覆うように形成するとともに、pチャネル型薄膜トランジスタのための第2のゲート電極を規定するマスクを第2のゲート電極用導電層上に形成する第7の工程と、マスクを用いて、第2のゲート電極用導電層を加工し、第2のゲート電極を形成する第8の工程と、島状半導体層のうち、マスクおよび第2のゲート電極に覆われていない領域に対して、p型を付与する不純物元素をドーピングすることにより、nチャネル型薄膜トランジスタのための非晶質化したゲッタリング領域を形成するとともに、pチャネル型薄膜トランジスタのソース領域、ドレイン領域およびゲッタリング領域を形成する第9の工程と、ゲッタリング領域に、島状半導体層中の触媒元素の少なくとも一部を移動させるため、第2の加熱処理を行う第10の工程と、を包含する半導体装置の製造方法であって、第5の工程後から第8の工程後のいずれかの時点において、nチャネル型薄膜トランジスタあるいは／およびpチャネル型薄膜トランジスタの島状半導体層におけるゲッタリング領域上のゲート絶縁膜を薄膜化する工程を少なくとも一回以上含むようにしても、同様の効果が得られる。

【0138】

また、ここで、nチャネル型薄膜トランジスタおよびpチャネル型薄膜トランジスタの島状半導体層におけるゲッタリング領域上のゲート絶縁膜を薄膜化する工程は、第8の工程と同時に行なわれ、nチャネル型薄膜トランジスタの島状半導体層上において、上記島状半導体層に形成されたマスクから露出している領域上のゲート絶縁膜を薄膜化すると共に、pチャネル型薄膜トランジスタの島状半

導体層上において、第 2 のゲート電極用導電層より露出していた領域のゲート絶縁膜を薄膜化することにより行なわれるようにすればよい。これにより、上記目的を達成できると共に、工程の簡略化が図れる。

【0139】

これらのゲート電極形成工程をマスクとして利用する方法においては、第 2 のゲート電極用導電層は、第 2 のゲート電極より幅を広く形成することを特徴としている。このようにすることで、ゲート電極形成工程をドーピング時およびゲート絶縁膜の薄膜化工程時のマスク工程と併用することが可能である。

また、本発明の製造方法においては、第 2 の加熱処理により、島状半導体層のうち、少なくともソース領域およびドレイン領域にドーパされた n 型不純物あるいは／および p 型不純物の活性化を行うことを特徴としている。すなわち、この第 2 の加熱処理工程により、ゲッタリングと活性化とを同時に行うことで工程短縮を図り、従来技術での課題であったゲッタリングによる付加工程を省くことができる。結果として、製造プロセスが簡略化でき、製造コストが削減できる。

【0140】

加えて、本発明の半導体装置として、ゲート電極は、W、Ta、Ti、Mo から選ばれた元素、または元素の合金材料の一種または複数種からなることを特徴としている。なぜなら、本発明では、ゲッタリングのための第 2 の加熱処理をゲート電極形成後に行う必要がある。この加熱処理には 500℃以上の温度が必要であるため、耐熱性の観点から高融点金属であることが望ましい。したがって、本発明の半導体装置のゲート電極としては、W、Ta、Ti、Mo から選ばれた元素、または前記元素の合金材料の一種または複数種であることが望ましい。

【0141】

本発明による他の実施形態の製造方法では、非晶質半導体膜を用意する（第 1 の）工程は、開口部を有するマスクを非晶質半導体膜上に形成する工程と、開口部を通して触媒元素を非晶質半導体膜の選択された領域にドーパする工程と、を含んでいることを特徴としている。このようにして、非晶質半導体膜に選択的に触媒元素をドーパし、第 1 の加熱処理において、触媒元素が選択的に添加された領域からその周辺部へと横方向に結晶成長させ、結晶質半導体膜を形成すること

で、結晶成長方向がほぼ一方向にそろった良好な結晶質半導体膜を得ることができ、TFTの電流駆動能力をより高めることが可能である。また、この横方向に結晶成長した領域では、触媒元素が直接添加された領域よりも結晶成長後における触媒元素の膜中濃度が1～2桁低減できるため、後のゲッタリング工程の負荷を小さくすることができる。

【0142】

ここで、上述の方法によって結晶成長方向がほぼ一方向にそろった結晶質膜が得られるメカニズムを図20を参照しながら説明する。

【0143】

本発明による結晶質半導体膜（少なくともチャネル領域の形成に用いられる）においては、結晶の面配向が主に $\langle 111 \rangle$ 晶帯面で構成されている。さらに具体的には、結晶質半導体膜の結晶の面配向の割合は、 $\langle 111 \rangle$ 晶帯面の中でも、特に (110) 面配向と (211) 面配向とで全体の50%以上の領域が占められている。一般的に触媒元素を用いない結晶化では、半導体膜下地の絶縁体（特に非晶質二酸化ケイ素の場合）の影響で、結晶質半導体膜の面配向は、 (111) に向きやすい。これに対して、非晶質半導体膜に触媒元素を添加し結晶化させた場合に得られる結晶質半導体膜の面配向が主に $\langle 111 \rangle$ 晶帯面で構成される様子を模式的に図20（A）に示す。図20（A）において、281は下地絶縁体、282は未結晶化領域の非晶質半導体膜、283は結晶質半導体膜、284は結晶成長のドライビングフォースとなっている触媒元素の半導体化合物である。

【0144】

図20（A）に示すように、触媒元素化合物284が結晶成長の最前線に存在し、隣接する非晶質領域282を紙面右方向に向かって次々と結晶化していくのであるが、このとき触媒元素化合物284は、 $\langle 111 \rangle$ 方向に向かって強く成長する性質がある。その結果、得られる結晶質半導体膜の面方位としては、図20（A）に示すように $\langle 111 \rangle$ 晶帯面が現れる。

【0145】

図20（B）には、 $\langle 111 \rangle$ 晶帯面を示す。図20（B）において、横軸は

(-100) 面からの傾斜角度で、縦軸は表面エネルギーを表す。グループ 285 は、 $\langle 111 \rangle$ 晶帯面となる結晶面である。 (100) 面と (111) 面は $\langle 111 \rangle$ 晶帯面ではないが、比較のために示してある。

【0146】

また、図 20 (C) には、結晶方位の標準三角形を示す。ここで、 $\langle 111 \rangle$ 晶帯面の分布は、破線のようになる。数字は代表的な極点の指数である。これらの $\langle 111 \rangle$ 晶帯面の中でも、本発明で得られる結晶質半導体膜では、特に (110) 面あるいは (211) 面が優勢配向となり、これらの面が全体の 50% 以上を占めるときに優位性が得られる。これらの 2 つの結晶面は他の面に比べてホール移動度が非常に高く、 n チャネル型 TFT に比べ性能の劣る p チャネル型 TFT の性能を特に向上でき、半導体回路においてもバランスがとり易いというメリットがある。

【0147】

なお、本発明の結晶質半導体膜の結晶粒 (ドメイン) が上述のような特徴を有していることは、例えば、後方散乱電子回折像 (Electron Back Scattered diffraction Pattern: EBSP) で確認された。

【0148】

また、本発明の製造方法としては、触媒元素として、Ni、Co、Sn、Pb、Pd、Fe、Cu から選ばれた一種または複数種の元素を用いることを特徴としている。これらから選ばれた一種または複数種類の元素であれば、微量で結晶化助長の効果がある。それらの中でも、特に Ni を用いた場合に最も顕著な効果を得ることができる。この理由については、次のようなモデルが考えられる。触媒元素は単独では作用せず、ケイ素膜と結合しシリサイド化することで結晶成長に作用する。そのときの結晶構造が、非晶質ケイ素膜結晶化時に一種の鋳型のよう作用し、非晶質ケイ素膜の結晶化を促すといったモデルである。Ni は 2 つの Si と $NiSi_2$ のシリサイドを形成する。 $NiSi_2$ は螢石型の結晶構造を示し、その結晶構造は、単結晶ケイ素のダイヤモンド構造と非常に類似したものである。しかも、 $NiSi_2$ はその格子定数が 5.406 \AA (0.5406 nm)

であり、結晶シリコンのダイヤモンド構造での格子定数 5.430 \AA (0.5430 nm) に非常に近い値をもつ。よって、 NiSi_2 は、非晶質ケイ素膜を結晶化させるための鑄型としては最高のものであり、本発明における触媒元素としては、特に Ni を用いるのが最も望ましい。

【0149】

このような触媒元素を用いて本発明の半導体装置を作製した結果として、本発明の半導体装置では、ゲッタリング領域には、非晶質半導体膜の結晶化を促進する触媒元素として、 Ni 、 Co 、 Sn 、 Pb 、 Pd 、 Fe 、 Cu から選ばれた一種または複数種の元素が存在していることを特徴とする。また、そのときのゲッタリング領域には、非晶質半導体膜の結晶化を促進する触媒元素が、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上の濃度で存在していることを特徴としている。このときのチャンネル領域中の触媒元素濃度は、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ 程度の範囲内にまで低減されており、その結果としてゲッタリング領域の触媒元素濃度が 2 ～ 4 桁上昇している。

【0150】

また、本発明の製造方法では、第 1 の加熱処理の後、結晶質半導体膜にレーザー光を照射する工程を含むことを特徴としている。本発明で得られる結晶質半導体膜にレーザー光を照射した場合、結晶質領域と非晶質と領域の融点の相違から結晶粒界部や微小な残留非晶質領域（未結晶化領域）が集中的に処理される。触媒元素を導入し結晶化した結晶質ケイ素膜は、柱状結晶で形成されており、その内部は単結晶状態であるため、レーザー光の照射により結晶粒界部が処理されると基板全面にわたって単結晶状態に近い良質の結晶質半導体膜が得られ、結晶性が大きく改善される。この結果、TFET のオン特性は大きく向上し、電流駆動能力により優れた半導体装置が実現できる。

【0151】

（第 1 実施形態）

本発明における第 1 の実施の形態を図 1 を用いて説明する。ここでは、 n チャネル型 TFET ガラス基板上に作製する方法について説明する。図 1 は、ここで説明する n チャネル型 TFET の作製工程を示す断面図であり、(A) → (H) の順

にしたがって作製工程が順次進行する。

【0152】

図1 (A)において、基板101には低アルカリガラス基板や石英基板を用いることができる。本実施形態では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板101のTFTを形成する表面には、基板101からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O の材料ガスから作製される酸化窒化ケイ素膜を、下層の第1下地膜102として成膜し、その上に同様にプラズマCVD法により SiH_4 、 N_2O を材料ガスとして第2の下地膜103を積層形成した。このときの第1下地膜102の酸化窒化ケイ素膜の膜厚は、25～200nm、例えば100nmとし、第2下地膜103の酸化ケイ素膜の膜厚としては、25～300nm、例えば100nmとした。本実施形態では、2層の下地膜を使用した。例えば酸化ケイ素膜の単層でも問題ない。

【0153】

次に、20～150nm（好ましくは30～80nm）の厚さで非晶質構造を有するケイ素膜（a-Si膜）104を、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で非晶質ケイ素膜を50nmの厚さに形成した。また、下地膜102、103と非晶質ケイ素膜104とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0154】

続いて、a-Si膜104に触媒元素を添加し、加熱処理を行う。a-Si膜に対して、重量換算で例えば10ppmの触媒元素（本実施形態ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素含有層105を形成する。ここで使用可能な触媒元素は、ニッケル（Ni）以外に

、鉄 (Fe)、コバルト (Co)、スズ (Sn)、鉛 (Pb)、パラジウム (Pd)、銅 (Cu) から選ばれた一種または複数種の元素である。これらの元素よりも触媒効果は小さいが、ルテニウム (Ru)、ロジウム (Rh)、オスミウム (Os)、イリジウム (Ir)、白金 (Pt)、金 (Au) 等も触媒元素として機能する。このとき、ドーピングする触媒元素の量は極微量であり、 $\alpha\text{-Si104}$ 表面上の触媒元素濃度は、全反射蛍光 X 線分析 (TRXRF) 法により、管理される。本実施形態では、 $7 \times 10^{12} \text{ atoms/cm}^2$ 程度である。

なお、本実施形態ではスパインコート法でニッケルをドーピングする方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜 (本実施形態の場合はニッケル膜) を $\alpha\text{-Si104}$ 上に形成する手段をとっても良い。

【0155】

そして、これを不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行う。この加熱処理は、 $550 \sim 600^\circ\text{C}$ で 30 分～4 時間のアニール処理を行うことが好ましい。本実施形態では、一例として 580°C にて 1 時間の加熱処理を行った。この加熱処理において、 $\alpha\text{-Si}$ 膜表面に添加されたニッケル 105 が $\alpha\text{-Si}$ 膜 104 中に拡散すると共に、シリサイド化が起これ、それを核として $\alpha\text{-Si}$ 膜 104 の結晶化が進行する。その結果、 $\alpha\text{-Si}$ 膜 104 は結晶化され、結晶質ケイ素膜 104a となる。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いる RTA (Rapid Thermal Annealing) 装置で結晶化を行ってもよい。

【0156】

続いて、図 1 (B) に示すように、加熱処理により得られた結晶質ケイ素膜 104a にレーザー光 106 を照射することで、この結晶質ケイ素膜 104a をさらに再結晶化し、結晶性を向上させた結晶質ケイ素膜 104b を形成する。このときのレーザー光としては、XeCl エキシマレーザー (波長 308 nm 、パルス幅 40 nsec) や KrF エキシマレーザー (波長 248 nm) が適用できる。このときのレーザー光のビームサイズは、基板 101 表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の再結晶化を行う。このとき、ビームの一部が重なるようにして走査するこ

とで、結晶質ケイ素膜 104a の任意の一点において、複数回のレーザー照射が行われ、均一性の向上が図れる。このようにして、固相結晶化により得られた結晶性ケイ素膜 104a は、レーザー照射による溶融固化過程により結晶欠陥が低減され、より高品質な結晶性ケイ素膜 104b となる。

【0157】

その後、結晶質ケイ素膜 104b の不要な領域を除去して素子間分離を行う。上記工程により、図 1 (C) に示すように、後に TFT の活性領域（ソース／ドレイン領域、チャネル領域）となる島状の結晶質ケイ素膜（半導体層）107 が形成される。続いて、これらの島状の結晶質ケイ素膜 107 を覆うゲート絶縁膜 108 を形成する。ゲート絶縁膜 108 としては、厚さ 20～150 nm の酸化ケイ素膜が好ましく、ここでは 100 nm の酸化ケイ素膜を用いた。

【0158】

続いて、ゲート絶縁膜 108 上に導電膜をスパッタ法または CVD 法などを用いて堆積し、これをパターンニング形成して、ゲート電極 109 とする。このときの導電膜としては高融点金属の W、Ta、Ti、Mo またはその合金材料のいずれかを用いればよい。また、このときの膜厚としては、300～600 nm が望ましく、本実施形態では、例えば膜厚 450 nm の窒素が微量に添加された Ta を用いた。

【0159】

次いで、図 1 (D) に示すように、ゲート電極 109 をマスクとして、イオンドーピング法によって、半導体層 107 に n 型不純物（リン）110 を高濃度に注入する。この工程により、TFT 半導体層 107 において、ゲート電極 109 に覆われていない領域 112 には高濃度のリン 110 が注入される。この工程で、ゲート電極 109 にマスクされリン 110 が注入されない領域 111 は、後に TFT のチャネル領域となる。

【0160】

図 1 (E) に示すように、ゲート電極 109 を覆うように、ゲート絶縁膜 108 上にレジストからなるマスク 113 を形成する。そして、マスク 113 を用い、ゲート絶縁膜 108 をエッチングし、選択的にエッチングされたゲート絶縁膜

114を形成する。このときのマスク113とゲート絶縁膜114により、後のTFTの半導体層107の一部（外縁部）が露出された状態となる。

【0161】

そして、この状態で、基板101上方より希ガス元素（本実施形態ではAr）115を全面にイオンドーピングする。この工程により、TFT活性領域の露出している領域に希ガス元素115が注入され、ゲッタリング領域117が形成される。マスク113とゲート絶縁膜114によって覆われている領域には、希ガス元素はドーピングされず、後のTFTのソースおよびドレイン領域116となる。このときの希ガス元素としては、Ar、Kr、Xeから選ばれた一種または複数種類の希ガス元素が利用できることができる。また、この工程において、ゲッタリング領域117中の希ガス元素の濃度は、 $1 \times 10^{19} \sim 3 \times 10^{21}$ atoms/cm³となるようにする。また、この工程により、ゲッタリング領域117はゲート絶縁膜が無い状態で強くドーピングされるため、結晶性が完全に破壊され、非晶質化される。この状態が図1（F）の状態に相当する。

【0162】

次に、前工程でマスクとして用いたレジスト113を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて熱処理を行う。この熱処理工程で、図1（G）に示すように、ソース・ドレイン領域116の外側に形成されたゲッタリング領域117において、ドーピング時に非晶質化されたことにより生じた結晶欠陥や高濃度にドーピングされているアルゴン115が、チャネル領域111およびソース・ドレイン領域116に存在しているニッケルを、チャネル領域からソース・ドレイン領域、そしてゲッタリング領域117へと、矢印118のような方向へ移動させる。よって、TFT半導体層のチャネル領域やチャネル領域とソース領域またはドレイン領域との接合部において残留している触媒元素をゲッタリングでき、触媒元素の偏析によるリーク電流の発生を抑制することができる。

【0163】

また、TFTの活性領域において、ソース領域またはドレイン領域とは別の領域にゲッタリング領域を形成するため、ゲッタリング領域の非晶質化によりTFTのソース領域またはドレイン領域において抵抗が上がってしまうという問題を

解決することができる。なお、この加熱処理工程により、ゲッタリング領域には、触媒元素が移動してくるため、触媒元素が、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度となる。

【0164】

このときの加熱処理としては、一般的な加熱炉を用いてもよいが、RTA (Rapid Thermal Annealing) の方がより望ましい。特に、基板表面に高温の不活性ガスを吹き付け、瞬時に昇降温を行う方式のものが適している。具体的な処理条件としては、保持温度 $550 \sim 750^\circ\text{C}$ の範囲で、保持時間 30 秒～10 分程度が適度な条件である。昇温速度および降温速度としては、共に $100^\circ\text{C}/\text{分}$ 以上で行うことが好ましい。なお、この加熱処理工程で、ソース・ドレイン領域 116 にドーピングされた n 型不純物 (リン) 110 の活性化も同時に行われ、ソース・ドレイン領域 116 シート抵抗値は、 $1 \text{ k}\Omega/\square$ 以下まで低抵抗化される。しかし、ゲッタリング領域 117 は、非晶質成分を維持した状態で残る。この工程後に、レーザーラマン分光法により、チャネル領域 111 あるいはソース・ドレイン領域 116 とゲッタリング領域 117 のラマン分光スペクトルにおける非晶質 Si の TO フォノンピーク Pa と結晶 Si の TO フォノンピーク Pc との比 Pa/Pc を測定すると、ゲッタリング領域 117 の方がチャネル領域 111 やソース・ドレイン領域 116 より大きくなっている。この測定は、本実施形態のように透光性のあるガラス基板などを用いる場合には、基板裏面側より行うこともできる。また、この加熱処理工程後、これ以上の高温工程は行わないため、この状態は TFT 完成後も維持される。

【0165】

続いて、図 1 (H) に示すように、酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜 119 として形成し、コンタクトホールを形成して、金属材料によって TFT の電極・配線 120 を形成する。

【0166】

そして最後に、1 気圧の窒素雰囲気あるいは水素混合雰囲気では 350°C 、1 時間のアニールを行い、図 1 (H) に示す TFT 121 を完成させる。さらに必要に応じて、TFT 121 を保護する目的で、TFT 121 上に窒化ケイ素膜など

からなる保護膜を設けてもよい。

【0167】

(第2実施形態)

本発明における第2の実施の形態を図2を用いて説明する。ここでは、第1実施形態とは異なる方法で、nチャネル型TFTをガラス基板上に作製する方法について、より具体的に説明する。本実施形態のTFTはアクティブマトリクス型の液晶表示装置や有機EL表示装置のドライバー回路や画素領域は勿論、薄膜集積回路を構成する素子としても利用することができる。図2は、ここで説明するnチャネル型TFTの作製工程を示す断面図であり、(A)→(H)の順にしたがって作製工程が順次進行する。

【0168】

まず、図1(A)に示すように、ガラス基板201上に例えばプラズマCVD法によって酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。これらの下地膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。本実施形態では、厚さ50nm程度のSiH₄、NH₃、N₂Oの材料ガスから作製される酸化窒化ケイ素膜を、下層の第1下地膜202として成膜し、その上に厚さ100nm程度のSiH₄、N₂Oを材料ガスとして第2の下地膜203を積層形成した。次に、厚さ20～80nm程度、例えば40nmの真性(I型)の非晶質ケイ素膜(a-Si膜)204をプラズマCVD法などによって成膜する。

【0169】

次に、a-Si膜204表面上にニッケル205の微量添加を行う。ニッケル205の微量添加は、ニッケルを溶かした溶液をa-Si膜204上に保持し、スピナーにより溶液を基板201上に均一に延ばし乾燥させることにより行った。本実施形態では、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度は8ppmとなるようにした。この状態が図2(A)の状態に相当する。このとき、ドーピングする触媒元素の量は極微量であり、a-Si膜204表面上の触媒元素濃度は、全反射蛍光X線分析(TRXRF)法により、管理される。本実施形態では、 $5 \times 10^{12} \text{ atoms/cm}^2$ 程度であった。尚

、本工程に先立って、スピン塗布時の a-Si 膜 204 表面の濡れ性向上のため、オゾン水等で a-Si 膜 204 表面をわずかに酸化させてもよい。

【0170】

そして、これを不活性雰囲気下、例えば窒素雰囲気にて第 1 の加熱処理を行う。このときのアニール条件としては、530～600℃で30分～8時間のアニール処理を行う。本実施形態では、一例として、550℃で4時間の加熱処理を行った。この加熱処理において、a-Si 膜表面に添加されたニッケル 205 が a-Si 膜 204 中に拡散すると共に、シリサイド化が起こり、それを核として a-Si 膜 204 の結晶化が進行する。その結果、a-Si 膜 204 は結晶化され、結晶質ケイ素膜 204 a となる。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いる RTA (Rapid Thermal Annealing) 装置で結晶化を行ってもよい。このようにして得られた結晶質ケイ素膜 204 a の結晶面配向は、主に〈111〉晶帯面で構成され、その中でも特に(110)面配向と(211)面配向とで全体の50%以上の領域が占められている。また、その結晶ドメイン(ほぼ同一の面方位領域)のドメイン径は、2～10 μm となっている。

【0171】

続いて、図 2 (B) に示すように、加熱処理により得られた結晶質ケイ素膜 204 a にレーザー光 207 を照射することで、この結晶質ケイ素膜 204 a をさらに再結晶化し、結晶性を向上させた結晶質ケイ素膜 204 b を形成する。このときのレーザー光としては、XeCl エキシマレーザー(波長 308 nm、パルス幅 40 ns) や KrF エキシマレーザー(波長 248 nm) が適用できる。このときのレーザー光のビームサイズは、基板 201 表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の再結晶化を行う。このとき、ビームの一部が重なるようにして走査することで、結晶質ケイ素膜 204 a の任意の一点において、複数回のレーザー照射が行われ、均一性の向上が図れる。本実施形態では、レーザー光の照射エネルギー密度 300～500 mJ/cm²、例えば 420 mJ/cm² で照射した。また、本実施形態では、ビームサイズは基板 201 表面で 150 mm×1 mm の長尺形

状となるように成型されており、長尺方向に対して垂直方向に0.05mmのステップ幅で順次走査を行った。すなわち、結晶質ケイ素膜204aの任意の一点において、計20回のレーザー照射が行われることになる。このときのレーザー光のエネルギーは、低すぎると結晶性改善効果が小さく、高すぎると前工程で得られた結晶質ケイ素膜204aの結晶状態がリセットされてしまうため、適切な範囲に設定する必要がある。このようにして、固相結晶化により得られた結晶質ケイ素膜204aは、レーザー照射による熔融固化過程により結晶欠陥が低減され、より高品質な結晶質ケイ素膜204bとなる。尚、このレーザー照射工程後においても、レーザー照射前の結晶面配向及び結晶ドメイン状態はそのまま維持され、EBSP測定において大きな変化は見られない。但し、結晶質ケイ素膜204b表面にはリッジが発生しており、その平均表面粗さRaは4~9nmとなっている。

【0172】

その後、結晶質ケイ素膜204bの不要な領域を除去して素子間分離を行う。上記工程により、図2(C)に示すように、後にTFETの活性領域（ソース／ドレイン領域、チャネル領域）となる島状の結晶質ケイ素膜（半導体層）207が形成される。

【0173】

次に、上記の活性領域となる半導体層207を覆うように厚さ20~150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜208として成膜する。酸化ケイ素膜の形成には、ここではTEOS（Tetra Ethoxy Ortho Silicate）を原料とし、酸素とともに基板温度150~600℃、好ましくは300~450℃で、RFプラズマCVD法で分解・堆積した。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350~600℃、好ましくは400~550℃として形成してもよい。また、成膜後、ゲート絶縁膜自身のバルク特性および結晶質ケイ素膜\ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で500~600℃で1~4時間のアニールを行ってもよい。

【0174】

引き続いて、スパッタリング法によって、厚さ300～600 nmの高融点メタルを成膜する。本実施形態では、タングステン (W) を用い、厚さが300～600 nm、例えば450 nmとした。そして、タングステン膜をパターニングして、ゲート電極209を形成する。

【0175】

次に、図2 (D) に示すように、イオンドーピング法によって、ゲート電極209をマスクとして活性領域に低濃度の不純物 (リン) 210を注入する。ドーピングガスとして、フォスフィン (PH₃) を用い、加速電圧を60～90 kV、例えば70 kV、ドーズ量を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、例えば $8 \times 10^{12} \text{ cm}^{-2}$ とする。この工程により半導体層207において、ゲート電極209に覆われていない領域212には低濃度のリン210が注入され、ゲート電極209にマスクされリン210が注入されない領域は、後にTFTのチャネル領域211となる。

【0176】

続いて、図2 (E) に示すように、ゲート電極209を覆うように、ゲート絶縁膜208上にレジストからなるマスク213を形成する。そして、マスク213を用い、ゲート絶縁膜208をエッチングし、選択的にエッチングされたゲート絶縁膜214を形成する。本実施形態では、このときのエッチングには、RIE (リアクティブイオンエッチング) 法を用い、エッチングガスとして、CHF₃を用いた。このときの下層のケイ素膜に対するエッチング選択比は10：1程度であり、必要十分な値が得られている。このゲート絶縁膜の選択エッチングには、通常のプラズマエッチング法やICP (Inductively Coupled Plasma：誘導結合型プラズマ) エッチング法等も適用でき、またエッチングガスとしては、CF₄やSF₆等の他のフロン系ガスも利用できる。尚、本実施形態では、ドライプロセスでゲート絶縁膜208のエッチングを行なったが、フッ化水素酸等によるウェットエッチングを用いてもよい。そして、上記工程により、加工されたゲート絶縁膜214により、後のTFTの半導体層207の一部 (外縁部) が露出された状態となる。

【0177】

続いて、レジストマスク 213 を除去した後、新たに、図 2 (F) に示すように、ゲート電極 209 を一回り大きく覆うようにフォトリソによるドーピングマスク 215 を設ける。その後、イオンドーピング法によって、レジストマスク 215 をマスクとして半導体層 207 に不純物 (リン) 216 を高濃度に注入する。ドーピングガスとして、フォスフィン (PH_3) を用い、加速電圧を 60 ~ 90 kV、例えば 70 kV、ドーズ量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $4 \times 10^{15} \text{ cm}^{-2}$ とする。このとき、半導体層 207 において、マスク 216 に覆われていない領域にリンがドーピングされるが、上にゲート絶縁膜 214 が存在している領域 217 とゲート絶縁膜 214 から露出している領域 218 とでは、リンのドーピングの状態が全く異なる。

【0178】

このときのドーピングプロファイルを図 19 に示す。領域 217 においては、上層の厚さ 100 nm のゲート絶縁膜 214 を介してリンのドーピングが行なわれるため、図 19 において深さ 1000 ~ 1400 Å (100 ~ 140 nm) の位置が領域 217 のケイ素膜中にドーピングされるリンの濃度となる。これに対して、領域 218 においては、上にゲート絶縁膜 214 が無く、ベア状態でリンのドーピングが行なわれるため、図 19 において深さ 0 ~ 400 Å (0 ~ 40 nm) の位置が領域 218 のケイ素膜中にドーピングされるリンの濃度となる。よって、領域 217 と領域 218 とでは、同一のドーピング工程であるにもかかわらず、実に一桁以上の濃度差ができ、領域 218 にドーピングされるリンの実量は、領域 217 の 10 倍以上となっている。それだけでなく、領域 218 では、上層のゲート絶縁膜が無い分、ゲート絶縁膜の存在する領域 217 に比べて相対的に高い加速電圧でリンイオンが半導体層中に注入されるため、個々のイオンの衝撃エネルギーが大きく、結晶性が完全に崩れ、非晶質となる。これに対して、領域 217 では、ゲート絶縁膜により注入時におけるイオンの衝撃エネルギーが緩和され、非晶質化がおこらず、結晶状態を維持することができる。

【0179】

この工程により、領域 217 は、後の TFT のソース・ドレイン領域となり、領域 218 は、ゲッタリング領域となるのであるが、このようにして、簡易に、

ゲッタリング領域とソース・ドレイン領域とを、それぞれの目的に見合った状態で作り分けることができる。また、半導体層 207 において、レジストマスク 215 に覆われ、高濃度のリン 216 がドーピングされなかった領域は、低濃度にリンが注入された領域として残り、LDD (Lightly Doped Drain) 領域 216 を形成する。このように、LDD 領域 216 を形成することで、チャンネル領域とソース／ドレイン領域との接合部における電界集中を緩和でき、TFT オフ動作時のリーク電流を低減できると共に、ホットキャリアによる劣化を抑えることができ TFT の信頼性を向上できる。

【0180】

そして、フォトリソによるマスク 215 を除去した後、不活性雰囲気下、例えば窒素雰囲気にて第 2 の加熱処理を行う。本実施形態では、窒素雰囲気中に 500℃ から 600℃ で 30 分から 8 時間、例えば 550℃ で 4 時間の熱処理を行った。この際、多量にリンドーパされ非晶質化したゲッタリング領域 218 が、ソース・ドレイン領域 217 に比べより強いゲッタリング作用を有し、ゲッタリング工程が行われる。領域 218 ではニッケルをトラップするような欠陥や偏析サイト等が形成され、非晶質状態となっていることでニッケルの自由エネルギーが低下している。さらに多量のリンドーパによりニッケルに対するケイ素膜の固溶度が大きく上昇している。これらの力を利用して、図 2 (G) に示すように、チャンネル領域 211 およびソース・ドレイン領域 217 中に残存しているニッケルを、矢印 219 に示すような方向にゲッタリング領域 218 へと移動させる。この加熱処理工程により、ゲッタリング領域 218 には、触媒元素が移動してくるため、触媒元素が、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度となる。

【0181】

なお、この第 2 の加熱処理工程で、ソース・ドレイン領域 217 および LDD 領域 216 にドーピングされたリンの活性化も同時に行われ、ソース・ドレイン領域 217 のシート抵抗は、 $0.8 \sim 1.5 \text{ k}\Omega / \square$ であり、LDD 領域 216 のシート抵抗は、 $30 \sim 60 \text{ k}\Omega / \square$ であった。ゲッタリング領域 218 においては、完全に結晶化が破壊され非晶質化しているため、結晶回復せず、活性化も行なわれない。本実施形態でのゲッタリング領域 218 の抵抗値は $1 \text{ M}\Omega / \square$ 以

上となっていた。従来、このような状態では、ソース・ドレイン領域としては、全く機能しないものであるが、本発明では、半導体層中にソース・ドレイン領域とは別の領域にゲッタリング領域を形成するため、TFTの動作には、何の支障も来たさない。さらに、レーザーラマン分光法により、チャンネル領域211あるいはソース・ドレイン領域217とゲッタリング領域218のラマン分光スペクトルにおける非晶質SiのTOフォノンピークPaと結晶SiのTOフォノンピークPcとの比Pa/Pcを測定すると、ゲッタリング領域218の方がチャンネル領域211やソース・ドレイン領域217より大きくなっていた。この加熱処理工程後、これ以上の高温工程は行わないため、この状態はTFT完成後も維持される。

【0182】

続いて、図2(H)に示すように、厚さ600nm程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜220として形成する。酸化ケイ素膜を用いる場合には、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。また、SiH₄とNH₃を原料ガスとしてプラズマCVD法で成膜された窒化ケイ素膜を用いれば、活性領域/ゲート絶縁膜の界面へ水素原子を供給し、TFT特性を劣化させる不対結合手を低減する効果がある。

【0183】

次に、層間絶縁膜220にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFTの電極・配線221を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。本TFT222を画素TFTとして用いる場合には、画素電極をスイッチングする素子であるので、もう一方のドレイン電極には、ITOなど透明導電膜からなる画素電極を設ける。この場合、他方の電極は、ソースバスラインを構成することになり、ソースバスラインを介してビデオ信号が供給され、ゲートバスライン209のゲート信号に基づいて画素電極に必要な電荷が書き込まれる。また、本TFTは薄膜集積回路などにも簡単に応用でき、その

場合にはゲート電極 209 上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0184】

そして最後に、窒素雰囲気あるいは水素雰囲気で 350℃、1 時間のアニールを行い、図 2 (H) に示す TFT222 を完成させる。さらに必要に応じて、TFT222 を保護する目的で、TFT222 上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0185】

以上の実施形態にしたがって作製した TFT は、電界効果移動度が 200 cm²/Vs 程度、閾値電圧が 1.5 V 程度と非常に高性能であるにもかかわらず、従来例で頻繁に見られた TFT オフ動作時のリーク電流の異常な増大が全く無く、単位 W 当たり 0. 数 pA 以下と非常に低い値を安定して示した。この値は、触媒元素を用いずに作成した従来の TFT と比べても全く差が無いものであり、製造歩留まりを大きく向上することができた。また、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、従来のものと比べて非常に信頼性が高かった。

【0186】

そして、本実施形態に基づいて作製された TFT をデュアルゲート構造として液晶表示用アクティブマトリクス基板の画素 TFT に適用したところ、従来法により作成したものに比べて表示むらが明らかに少なく、TFT リークによる画素欠陥も極めて少なく、コントラスト比の高い高表示品位の液晶パネルが得られた。

【0187】

(第 3 実施形態)

本発明を用いた第 3 の実施の形態について説明する。本実施形態では、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路を形成する n チャネル型 TFT と p チャネル型 TFT を相補型に構成した CMOS 構造の回路をガラス基板上に作製する工程について、説明を行う。

【0188】

図3および図4は、本実施形態で説明するTF Tの作製工程を示す断面図であり、図3 (A) から (F)、図4 (A) から (E) の順にしたがって工程が順次進行する。

【0189】

図3 (A) において、基板301には低アルカリガラス基板や石英基板を用いることができる。本実施形態では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板301のTF Tを形成する表面には、基板301からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O の材料ガスから作製される酸化窒化ケイ素膜を、下層の第1下地膜302として成膜し、その上に同様にプラズマCVD法によりTEOSおよび酸素を材料ガスとして酸化ケイ素膜から成る第2の下地膜303を積層形成した。このときの第1下地膜302の酸化窒化ケイ素膜の膜厚は、25～200nm、例えば50nmとし、第2下地膜303の酸化ケイ素膜の膜厚としては、25～300nm、例えば100nmとした。

【0190】

次に、20～150nm（好ましくは30～80nm）の厚さで非晶質構造を有するケイ素膜（a-Si膜）304を、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で非晶質ケイ素膜を50nmの厚さに形成した。さらに、本実施形態では、マルチチャンバー型のプラズマCVD装置を用い、下地膜302、303と非晶質ケイ素膜304とを大気雰囲気中に晒さないで連続形成した。このようにすることで、下地膜とa-Si膜との界面（TF Tではバックチャネルとなる）の汚染を防ぐことが可能となり、作製するTF Tの特性バラツキやしきい値電圧の変動を低減させることができる。

【0191】

そして、a-Si膜304表面上に触媒元素（本実施形態ではニッケル）305の微量添加を行う。このニッケル305の微量添加は、ニッケルを溶かした溶

液を a-Si 膜 304 上に保持し、スピナーにより溶液を基板 301 上に均一に延ばし乾燥させることにより行った。本実施形態では、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度は 10 ppm となるようにした。この状態が図 3 (B) の状態に相当する。このようにして添加された図 3 (B) の状態における a-Si 膜 304 表面上のニッケル濃度を全反射蛍光 X 線分析 (TRXRF) 法により測定すると、 $7 \times 10^{12} \text{ atoms/cm}^2$ 程度であった。触媒元素をアモルファスシリコン膜にドーピングする方法としては、触媒元素を含有する溶液を塗布する方法以外に、プラズマドーピング法、蒸着法もしくはスパッタ法等の気相法なども利用することができる。溶液を用いる方法は、触媒元素の添加量の制御が容易であり、ごく微量な添加を行うのも容易である。

【0192】

そして、これを不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行う。このときの加熱処理としては $520 \sim 600^\circ\text{C}$ で 1～8 時間のアニール処理を行う。本実施形態では、一例として 580°C にて 1 時間の加熱処理を行った。この加熱処理において、a-Si 膜表面に添加されたニッケル 305 が a-Si 膜 304 中に拡散すると共に、シリサイド化が起これ、それを核として a-Si 膜 304 の結晶化が進行する。その結果、図 3 (C) に示すように、a-Si 膜 304 は結晶化され、結晶質ケイ素膜 304 a となる。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、急速に昇降温を行う RTA (Rapid Thermal Annealing) 装置で結晶化を行ってもよい。

【0193】

次に、図 3 (D) に示すように、レーザー光 306 を照射することで、この結晶質ケイ素膜 304 a をさらに再結晶化し、その結晶性を向上させる。このときのレーザー光としては、XeCl エキシマレーザー (波長 308 nm 、パルス幅 40 ns) を用いた。レーザー光の照射条件は、エネルギー密度 $350 \sim 500 \text{ mJ/cm}^2$ 、例えば 420 mJ/cm^2 で照射した。ビームサイズは、基板 301 表面で $150 \text{ mm} \times 1 \text{ mm}$ の長尺形状となるように成型されており、長尺方向に対して垂直方向に 0.05 mm のステップ幅で順次走査を行った。すなわ

ち、結晶質ケイ素膜 304a の任意の一点において、計 20 回のレーザー照射が行われることになる。このようにして、固相結晶化により得られた結晶質ケイ素膜 304a は、レーザー照射による熔融固化過程により結晶欠陥が低減され、より高品質な結晶性ケイ素膜 304b となる。この時使用できるレーザーとしては、パルス発振型または連続発光型の KrF エキシマレーザー、XeCl エキシマレーザー、YAG レーザーまたは YVO₄ レーザーを用いることができる。結晶化の条件は、実施者が適宜選択すればよい。

【0194】

その後、結晶質ケイ素膜 304b の不要な領域を除去して素子間分離を行う。上記工程により、図 3 (E) に示すように、後に n チャネル型 TFT と p チャネル型 TFT の活性領域（ソース／ドレイン領域、チャネル領域）となる島状の結晶質ケイ素膜（半導体層）307n と 307p とが形成される。

【0195】

ここで、n チャネル型 TFT と p チャネル型 TFT の半導体層の全面に、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン (B) をドーピングしてもよい。ボロン (B) の添加はイオンドーピング法で実施しても良いし、非晶質シリコン膜を成膜するときと同時にドーピングしておくこともできる。

【0196】

次に、上記の半導体層 307n、307p を覆うように厚さ 20～150 nm、ここでは 100 nm の酸化ケイ素膜をゲート絶縁膜 308 として成膜する。酸化ケイ素膜の形成には、ここでは TEOS (Tetra Ethoxy Ortho Silicate) を原料とし、酸素とともに基板温度 150～600℃、好ましくは 300～450℃で、RF プラズマ CVD 法で分解・堆積した。成膜後、ゲート絶縁膜自身のバルク特性および結晶性ケイ素膜\ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で 500～600℃で 1～4 時間のアニールを行ってもよい。また、ゲート絶縁膜 308 には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0197】

引き続いて、図3 (F) に示すように、スパッタリング法によって高融点メタルを堆積し、これをパターンニング形成して、ゲート電極309nと309pを形成する。このときの高融点メタルとしては、タンタル (Ta) あるいはタングステン (W)、モリブデン (Mo) チタン (Ti) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的にはMo-W合金膜、Mo-Ta合金膜) で形成すれば良い。また、その他の代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。本実施形態では、タングステン (W) を用い、厚さが300~600nm、例えば450nmとした。このとき、低抵抗化を図るために含有する不純物濃度を低減させると良く、酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0198】

次に、イオンドーピング法によって、ゲート電極309nと309pをマスクとして活性領域に低濃度の不純物 (リン) 310を注入する。ドーピングガスとして、フォスフィン (PH_3) を用い、加速電圧を60~90kV、例えば70kV、ドーズ量を $1\times 10^{12}\sim 1\times 10^{14}\text{cm}^{-2}$ 、例えば $2\times 10^{13}\text{cm}^{-2}$ とする。この工程により島状のケイ素膜307nと307pにおいて、ゲート電極309nと309pに覆われていない領域は低濃度のリン310が注入された領域312となり、ゲート電極309n、309pにマスクされ不純物310が注入されない領域は、後にnチャネル型TFETとpチャネル型TFETのチャネル領域311nと311pとなる。この状態が図3 (F) に相当する。

【0199】

次いで、図4 (A) に示すように、後のnチャネル型TFETのゲート電極309nを一回り大きく覆うようにフォトレジストによるドーピングマスク313を設け、後のpチャネル型TFETにおいては、ゲート電極309pをさらに一回り大きく覆い、半導体層307pの外縁部を露出させるようにフォトレジストによるドーピングマスク314を設ける。その後、イオンドーピング法によって、レジストマスク313と314をマスクとしてそれぞれの半導体層に不純物 (リン) 315を注入する。ドーピングガスとして、フォスフィン (PH_3) を用い、

加速電圧を $60 \sim 90 \text{ kV}$ 、例えば 80 kV 、ドーズ量を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、 n チャネル型 T F T の半導体層 307 n においては、レジストマスク 313 より露出している領域 317 に高濃度に不純物（リン）315 が注入される。この領域 317 の一部は、後に n チャネル型 T F T のソース／ドレイン領域となる。そして、半導体層 307 n において、レジストマスク 313 に覆われ、高濃度のリン 315 がドーピングされなかった領域 318 は、低濃度にリンが注入された領域として残り、L D D (L i g h t l y D o p e d D r a i n) 領域を形成する。また、 p チャネル型 T F T の半導体層 307 p においては、レジストマスク 314 より露出している領域 318 に高濃度に不純物（リン）315 が注入される。このときの領域 317 と領域 318 とにおける n 型不純物元素（リン）315 の膜中濃度は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ となっている。また、 n チャネル型 T F T の L D D 領域 318 における n 型不純物元素（リン）310 の膜中濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ となっており、このような範囲であるときに L D D 領域として機能する。L D D 領域は、チャネル領域とソース／ドレイン領域との接合部における電界集中を緩和し、T F T オフ動作時のリーク電流を低減できると共に、ホットキャリアによる劣化を抑えるために設けられる。

【0200】

続いて、図 4 (B) に示すように、上記 n 型不純物のドーピング工程で利用したレジストマスク 313 と 314 とをそのまま利用して、ゲート絶縁膜 308 をエッチングし、選択的に薄膜化されたゲート絶縁膜 319 を形成する。その後、レジストマスク 313、314 を除去する。本実施形態では、プラズマエッチングにより、ゲート絶縁膜 308 の薄膜化工程とレジストマスク 313、314 の除去工程を同時に行なった。すなわち、上記ドーピング工程により硬化したレジストマスクのアッシング工程を兼ねて、ゲート絶縁膜 308 の薄膜化を行なう訳である。エッチングガスとしては、酸素ガスと CF_4 ガスとを用いた。酸素ガスのみによるプラズマエッチング処理だけでも、レジストマスクに対するアッシング効果があり、レジストマスクの除去が行なえるが、このとき CF_4 等のフロン系ガスを加えることにより、ゲート絶縁膜である酸化ケイ素膜のエッチング効果

が生じる。このときの CF_4 ガスの導入量により、ゲート絶縁膜のエッチングレートはコントロールできる。このようにして、本実施形態では、レジストマスク 313、314 をフルアッシングし除去すると共に、マスク 313、314 から露出している領域のゲート絶縁膜をエッチングし、そのエッチング量が 30 nm 程度となるようにした。

【0201】

また、このように、レジストマスクの除去工程とゲート絶縁膜の薄膜化工程を同時に行なう場合、レジストマスクが除去された後、レジストマスクに覆われていた領域もエッチングが進み出す。これを防ぐためには、エッチング途中の段階で、 CF_4 ガスをストップし、酸素ガスのみのアッシングに切り替えても良い。このようにすることで、レジストマスク下のゲート絶縁膜には膜減りが全く生じないようにすることができる。以上の工程により、選択的に薄膜化されたゲート絶縁膜 318 では、半導体層の領域 317 及び領域 318 の上の領域では、膜厚が 70 nm 程度になっている。

【0202】

次に、図 4 (C) に示すように、また新たに、n チャネル型 TFT の半導体層 307 n を覆うようにフォトリソトによるドーピングマスク 320 を設ける。この状態で、イオンドーピング法によって、レジストマスク 320 と p チャネル型 TFT のゲート電極 309 p をマスクとして、p チャネル型 TFT の半導体層 307 p に p 型を付与する不純物（ホウ素）321 を注入する。ドーピングガスとして、ジボラン (B_2H_6) を用い、加速電圧を 40 kV ~ 80 kV、例えば 65 kV とし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、p チャネル型 TFT の半導体層 307 p においては、ゲート電極 309 p 下部のチャネル領域 311 p 以外に高濃度にホウ素 321 が注入される。ホウ素のドーピングは、ゲート絶縁膜 319 を介して行なわれ、上層のゲート絶縁膜が厚い領域 322 とゲート絶縁膜が薄膜化された領域 323 とで、実際にドーピングされるホウ素の量が異なり、その結晶状態も異なる。ゲート絶縁膜の薄い領域 323 では、領域 322 に比べてホウ素の濃度が高くなっていると共に、上層のゲート絶縁膜が薄い分、領域 322 に比べて相対的に高い

加速電圧でホウ素イオンが半導体層中に注入されるため、個々のイオンの衝撃エネルギーが大きく、結晶性がより崩れた状態となる。これに対して、領域 322 では、ゲート絶縁膜により注入時におけるイオンの衝撃エネルギーが緩和され、良好な結晶状態を維持することができる。

【0203】

この工程により、領域 322 は、先の工程で低濃度に注入されている n 型不純物のリン 310 を反転させ p 型となり、後の TFT のソース・ドレイン領域となる。また、領域 323 は、先の工程で注入された高濃度のリン 315 に加えて、高濃度のホウ素 321 が注入され、さらにその結晶状態が崩れた状態となっており、ゲッタリング領域として機能する。このようにして、簡易に、ゲッタリング領域とソース・ドレイン領域とを、それぞれの目的に見合った状態で作り分けることができる。このときのゲッタリング領域 323 における p 型不純物元素（ホウ素）321 の膜中濃度は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ となっている。上記工程において、後の n チャネル型 TFT の活性領域 307 n は、マスク 320 で全面覆われているため、ホウ素 321 はドーピングされない。

【0204】

次いで、レジストマスク 320 を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第 2 の加熱処理を行う。本実施形態では、一般的な拡散炉（ファーンズ炉）を用いて、例えば 550°C で 4 時間の加熱処理を行なった。このときの加熱処理としては、その他の方式も使用可能で、条件についても実施者が便宜設定すればよい。この熱処理工程で、図 4（D）に示すように、後の n チャネル型 TFT の半導体層 307 n においては、ソース・ドレイン領域 317 にドーピングされているリンが、その領域でのニッケルの固溶度を高め、チャネル領域 311 n、LDD 領域 316 に存在しているニッケルを、チャネル領域から LDD 領域、そしてソース・ドレイン領域 317 へと、矢印 324 で示される方向に移動させる。また、後の p チャネル型 TFT の半導体層 307 p においても、ソース・ドレイン領域の外側に形成されたゲッタリング領域 323 p に高濃度にドーピングされているリンおよびホウ素と、ホウ素のドーピング時に生じた格子欠陥等が、チャネル領域 311 p、ソース・ドレイン領域 322 に存在しているニッ

ケルを、チャンネル領域からソース・ドレイン領域、そしてゲッタリング領域 3 2 3 へと、同様に矢印 3 2 4 で示される方向に移動させる。この加熱処理工程により、ゲッタリング領域 3 2 3 にはニッケルが移動してくるため、ゲッタリング領域 3 2 3 におけるニッケル濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上となっている。

【0205】

また、この加熱処理工程で、n チャンネル型 T F T のソース・ドレイン領域 3 1 7 と L D D 領域 3 1 6 にドーピングされた n 型不純物（リン）と、p チャンネル型 T F T のソース・ドレイン領域 3 2 2 にドーピングされた p 型不純物（ホウ素）の活性化も同時に行われる。その結果、n チャンネル型 T F T のソース・ドレイン領域 3 1 7 のシート抵抗値は、 $0.5 \sim 1 \text{ k} \Omega / \square$ 程度となり、L D D 領域 3 1 6 のシート抵抗値は、 $30 \sim 60 \text{ k} \Omega / \square$ であった。また、p チャンネル型 T F T のソース・ドレイン領域 3 2 2 のシート抵抗値は、 $1 \sim 1.5 \text{ k} \Omega / \square$ 程度であった。しかしながら、ゲッタリング領域 3 2 3 においては、ドーピングされた n 型不純物元素のリンと p 型不純物元素のホウ素がキャリア（電子とホール）を打ち消しあい、また、上層のゲート絶縁膜が薄ことによる注入ダメージもあり、そのシート抵抗値は数十 $\text{k} \Omega / \square$ と、ソース・ドレイン領域としては機能しないような値となっている。但し、p チャンネル型 T F T の半導体層において、ゲッタリング領域は、T F T においてキャリアの移動を妨げないような配置で、ソース領域またはドレイン領域とは別の領域に形成されるため、トランジスタ動作上問題とはならない。この工程後に、レーザーラマン分光法により、それぞれの領域のラマン分光スペクトルにおける非晶質 S i の T O フォノンピーク P a と結晶 S i の T O フォノンピーク P c との比 P a / P c を測定すると、ゲッタリング領域 3 2 3 の方がチャンネル領域 3 1 1 p やソース・ドレイン領域 3 2 2 より大きくなっていた。

【0206】

次いで、図 3 (D) に示すように、層間絶縁膜を形成する。窒化ケイ素膜、酸化ケイ素膜、または窒化酸化ケイ素膜を $400 \sim 1500 \text{ nm}$ （代表的には $600 \sim 1000 \text{ nm}$ ）の厚さで形成する。本実施形態では、膜厚 200 nm の窒化ケイ素膜 3 2 5 と膜厚 700 nm の酸化ケイ素膜 3 2 6 とを積層形成し、2 層構

造とした。このときの成膜方法としては、プラズマCVD法を用い、窒化ケイ素膜は SiH_4 と NH_3 を原料ガスとして、酸化ケイ素膜はTEOSと O_2 を原料として、連続形成した。もちろん、層間絶縁膜としては、これに限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造としてよいし、上層にはアクリル等の有機絶縁膜を設けてもよい。

【0207】

さらに、 $300\sim 500^\circ\text{C}$ で30分～4時間程度の熱処理を行い、半導体層を水素化する工程を行う。この工程は、活性領域／ゲート絶縁膜の界面へ水素原子を供給し、TFET特性を劣化させる不対結合手（ダングリングボンド）を終端化し不活性化する工程である。本実施形態では、水素を約3%含む窒素雰囲気下で 410°C 、1時間の熱処理を行った。層間絶縁膜（特に窒化ケイ素膜325）に含まれる水素の量が十分である場合には、窒素雰囲気でも熱処理を行っても効果が得られる。水素化の他の手段としては、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。

【0208】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFETの電極・配線327を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。そして最後に、 350°C 、1時間のアニールを行い、図4（E）に示すnチャネル型TFET328とpチャネル型TFET329とを完成させる。さらに必要に応じて、ゲート電極309nおよび309pの上にもコンタクトホールを設けて、配線327により必要な電極間を接続する。また、TFETを保護する目的で、それぞれのTFET上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0209】

以上の実施形態にしたがって作製したそれぞれのTFETの電界効果移動度はnチャネル型TFETで $250\sim 300\text{ cm}^2/\text{Vs}$ 、pチャネル型TFETで $120\sim 150\text{ cm}^2/\text{Vs}$ と高く、閾値電圧はN型TFETで1V程度、P型TFETで -1.5 V 程度と非常に良好な特性を示す。また、本実施形態で作製したnチャ

ネル型 T F T と p チャネル型 T F T とを相補的に構成した C M O S 構造回路で、インバーターチェーンやリングオシレーター等の回路を形成した場合、従来のものと比べて信頼性が高く、安定した回路特性を示した。

【0210】

(第4実施形態)

本発明を用いた第4の実施の形態について説明する。本実施形態でも、nチャネル型 T F T と p チャネル型 T F T を相補型に構成した C M O S 構造の回路をガラス基板上に作製する工程について、説明を行う。

【0211】

図5および図6は、本実施形態で説明する T F T の作製工程を示す断面図であり、図5 (A) から (F)、図6 (A) から (E) の順にしたがって工程が順次進行する。

【0212】

前述の第1から第3の実施形態と類似の方法で、図5 (A) において、ガラス基板 401 の T F T を形成する表面に、酸化窒化ケイ素膜からなる下層の第1下地膜 402 と、酸化ケイ素膜からなる第2の下地膜 403 を積層形成し、続いて、例えば 50 nm の厚さの a - S i 膜 404 を形成する。そして、図5 (B) に示すように、前述の第1から第3の実施形態と類似の方法により、a - S i 膜 404 表面上にニッケル 405 の微量添加を行う。

【0213】

次に、第1の加熱処理を行い、a - S i 膜 404 に添加されたニッケル 405 を触媒として、a - S i 膜 404 を固相状態で結晶化し、結晶質ケイ素膜 404 a を得る。この状態が図5 (C) に相当する。そして、図5 (D) に示すように、前述の第1から第3の実施形態と類似の方法で、レーザー光 406 を照射し、この結晶質ケイ素膜 404 a の結晶性を向上させ、より高品質な結晶質ケイ素膜 404 b とする。

【0214】

その後、結晶質ケイ素膜 404 b の不要な領域を除去して素子間分離を行う。上記工程により、図5 (E) に示すように、後に n チャネル型 T F T と p チャネ

ル型 T F T の半導体層となる島状の結晶質ケイ素膜 407 n と 407 p とが形成される。

【0215】

次に、前述の第1から第3の実施形態と類似の方法で、上記の活性領域となる結晶質ケイ素膜 407 n、407 p を覆うように、例えば厚さ 100 nm の酸化ケイ素膜をゲート絶縁膜 408 として成膜する。引き続いて、図 5 (F) に示すように、スパッタリング法によって高融点メタル（本実施形態ではタングステン）を堆積し、これをパターンニング形成して、ゲート電極 409 n と 409 p を形成する。

【0216】

次に、第3実施形態と同様の方法を用いて、それぞれの半導体層に低濃度の不純物（リン）410 を注入する。この工程により半導体層 407 n と 407 p において、ゲート電極 409 n と 409 p に覆われていない領域は低濃度のリン 410 が注入された領域 412 となり、ゲート電極 409 n、409 p にマスクされ不純物 410 が注入されない領域は、後に n チャネル型 T F T と p チャネル型 T F T のチャネル領域 411 n、411 p となる。この状態が図 5 (F) に相当する。

【0217】

次いで、図 6 (A) に示すように、n チャネル型 T F T においては、ゲート電極 409 n を覆い、半導体層 407 n の外縁部を露出させるようにフォトリソトによるドーピングマスク 413 を設ける。このとき、p チャネル型 T F T の上方にはマスクは設けられず、T F T 全体が露出されている。この状態で、イオンドーピング法によって、レジストマスク 413 と p チャネル型 T F T のゲート電極 409 p をマスクとして、活性領域に p 型を付与する不純物（ホウ素）414 を注入する。ドーピングガスとして、ジボラン (B_2H_6) を用い、加速電圧を 40 kV ~ 80 kV、例えば 70 kV とし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $7 \times 10^{16} \text{ cm}^{-2}$ とする。この工程により、n チャネル型 T F T の半導体層 407 n においては、マスク 413 より露出している領域 415 に高濃度にホウ素が注入される。そして、p チャネル型 T F T の半導体層 407 p にお

いては、ゲート電極 409 p 下部のチャネル領域 411 p 以外の領域 416 に高濃度にホウ素 414 が注入される。領域 416 では、先の工程で低濃度に注入されている n 型不純物のリンを高濃度の p 型不純物（ホウ素）で反転させ p 型となる。このときの領域 415 と領域 416 における p 型不純物元素（ホウ素） 414 の膜中濃度は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ となっている。

【0218】

続いて、図 6 (B) に示すように、n 型不純物のドーピング工程で利用したレジストマスク 413 と p チャネル型 TFT のゲート電極 409 p を利用して、ゲート絶縁膜 408 をエッチングし、選択的に薄膜化されたゲート絶縁膜 417 を形成する。本実施形態では、RIE（リアクティブイオンエッチング）を用い、エッチングガスとして、 CHF_3 を用い、約 50 nm のエッチングを行なった。このゲート絶縁膜の選択エッチングには、通常のプラズマエッチングも適用でき、またエッチングガスとしては、 CF_4 や SF_6 等の他のフロン系ガスも利用できる。尚、本実施形態では、ドライプロセスでゲート絶縁膜 208 のエッチングを行なったが、フッ化水素酸等によるウエットエッチングを用いてもよい。そして、上記工程により、マスク 413 および p チャネル型 TFT のゲート電極 409 p に覆われていない領域のゲート絶縁膜が薄膜化される。本実施形態では、このときのエッチング量が例えば 50 nm となるように設定した。したがって、選択的に薄膜化されたゲート絶縁膜 417 の膜厚は、n チャネル型 TFT 半導体層 407 n の領域 415 および p チャネル型 TFT 半導体層 407 p の領域 416 の上では、膜厚が 50 nm 程度になっている。

【0219】

次に、レジストマスク 413 を除去した後、図 6 (C) に示すように、また新たに、n チャネル型 TFT の半導体層 407 n において、ゲート電極 409 n を一回り大きく覆うようにフォトリソトによるドーピングマスク 418 を設け、p チャネル型 TFT においては、ゲート電極 409 p をさらに一回り大きく覆い、活性領域 407 p の外縁部を露出させるようにフォトリソトによるドーピングマスク 419 を設ける。その後、イオンドーピング法によって、レジストマスク 418、419 をマスクとしてそれぞれの半導体層に不純物（リン） 420 を

高濃度に注入する。このとき、ドーピングガスとしてフォスフィン (PH_3) を使い、加速電圧を $60 \sim 90 \text{ kV}$ 、例えば 70 kV 、ドーズ量を $2 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。このとき、それぞれの半導体層 407 n と 407 p とにおいて、マスク 418 、 419 に覆われていない領域に、上層のゲート絶縁膜 417 を越してリンがドーピングされるが、上に存在するゲート絶縁膜 417 の膜厚により、ゲート絶縁膜が薄膜化された領域とそれ以外の領域とで、リンのドーピングの状態が大きく異なってくる。

【0220】

このときのドーピングプロファイルを図 19 に示す。領域 422 においては、上層の厚さ 100 nm のゲート絶縁膜 417 を介してリンのドーピングが行なわれるため、図 19 において深さ $1000 \sim 1500 \text{ \AA}$ ($100 \sim 150 \text{ nm}$) の位置が領域 422 のケイ素膜中にドーピングされるリンの濃度となる。これに対して、上層のゲート絶縁膜が薄膜化された領域 424 n と 424 p においては、上にゲート絶縁膜の厚さが本実施形態では 50 nm となっているので、図 19 において深さ $500 \sim 1000 \text{ \AA}$ ($50 \sim 100 \text{ nm}$) の位置が領域 424 n と 424 p のケイ素膜中にドーピングされるリンの濃度となる。よって、領域 422 と、上層のゲート絶縁膜が薄膜化された領域 424 n 、 424 p とでは、同一のドーピング工程であるにもかかわらず、大きな濃度差が生じ、領域 424 n 、 424 p にドーピングされるリンの実量は、領域 422 の 5 倍以上となっている。それだけでなく、領域 424 n 、 424 p では、上層のゲート絶縁膜が薄い分、ゲート絶縁膜が厚い領域 422 に比べて相対的に高い加速電圧でリンイオンが半導体層中に注入されるため、個々のイオンの衝撃エネルギーが大きく、結晶性が完全に崩れ、非晶質となる。これに対して、領域 422 では、ゲート絶縁膜により注入時におけるイオンの衝撃エネルギーが緩和され、非晶質化がおこらず、結晶状態を維持することができる。

【0221】

この工程により、 n チャネル型 TFT において、領域 422 は後の TFT のソース・ドレイン領域となり、領域 424 n はゲッタリング領域となる。そして、半導体層 407 n において、レジストマスク 418 に覆われ、高濃度のリン 42

0 がドーピングされなかった領域は、低濃度にリンが注入された領域として残り、LDD (Lightly Doped Drain) 領域 421 を形成する。また、p チャネル型 TFT においては、高濃度に不純物 (リン) 420 が注入された領域 424 p は、ゲッタリング領域となり、レジストマスク 419 に覆われ、高濃度のリンがドーピングされなかった領域は、p 型不純物領域として残り、p チャネル型 TFT のソース・ドレイン領域 423 を形成する。ゲッタリング領域の 424 n と 424 p は、前工程でのホウ素 414 に加えて高濃度のリン 420 が合わせてドーピングされた状態となっている。このようにして、簡易に、ゲッタリング領域とソース・ドレイン領域とを、それぞれの目的に見合った状態で作り分けることができる。このときのゲッタリング領域 424 n、424 p における n 型不純物元素 (リン) 420 の膜中濃度は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ となっている。また、n チャネル型 TFT の LDD 領域 523 における n 型不純物元素 (リン) 410 の膜中濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ となっており、このような範囲であるときに LDD 領域として機能する。

【0222】

次いで、レジストマスク 418、419 を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第 2 の熱処理を行う。本実施形態では、550℃で 4 時間の加熱処理を行なった。この熱処理工程で、それぞれの半導体層 407 n、407 p においては、ソース・ドレイン領域の外側に形成されたゲッタリング領域 424 n、424 p に高濃度にドーピングされているリンとホウ素が、その領域でのニッケルに対する固溶度を高め、さらにニッケルに対する偏析サイトを形成する。また、領域 424 n、424 p は、上層のゲート絶縁膜薄膜化の効果で、ドーピング時に非晶質化しており、ニッケルに対する自由エネルギーが低下しており、結晶欠陥や不對結合手 (ダングリングボンド) もニッケルの偏析サイトとして機能する。これらがゲッタリング効果を相乗的に高め、n チャネル型 TFT の半導体層 407 n においては、チャネル領域 411 n、LDD 領域 421 およびソース・ドレイン領域 422 に存在しているニッケルを、チャネル領域から LDD 領域、さらにソース・ドレイン領域、そしてゲッタリング領域 424 n へと、図 6 (D) の矢印 425 で示される方向に移動させる。リンのみがドーピング

されたソース／ドレイン領域422もゲッタリング効果を有するが、リンがより多くドーピングされ非晶質化し、且つホウ素もドーピングされたゲッタリング領域424nの能力が圧倒的に高いので、ゲッタリング領域424nにニッケルが集められる。また、pチャネル型TF Tの半導体層407pにおいても、ソース・ドレイン領域の外側に形成されたゲッタリング領域424pが、nチャネルTF Tのゲッタリング領域424nと同様に非常に高いゲッタリング能力を有し、チャネル領域411p、ソース・ドレイン領域423に存在しているニッケルを、チャネル領域からソース・ドレイン領域、そしてゲッタリング領域424pへと、同様に矢印425で示される方向に移動させる。このゲッタリングのための第2の熱処理工程により、ゲッタリング領域424n、424pには、触媒元素が移動してくるため、触媒元素が、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度となる。

【0223】

また、この加熱処理工程で、nチャネル型TF Tのソース・ドレイン領域422とLDD領域421にドーピングされたn型不純物（リン）と、pチャネル型TF Tのソース・ドレイン領域423にドーピングされたp型不純物（ホウ素）の活性化も同時に行われる。その結果、nチャネル型TF Tのソース・ドレイン領域422のシート抵抗値は、 $0.5 \sim 1 \text{ k}\Omega / \square$ 程度となり、LDD領域421のシート抵抗値は、 $30 \sim 60 \text{ k}\Omega / \square$ であった。また、pチャネル型TF Tのソース・ドレイン領域423のシート抵抗値は、 $1 \sim 1.5 \text{ k}\Omega / \square$ 程度であった。しかしながら、ゲッタリング領域424nと424pにおいては、結晶化がほぼ完全に非晶質化しているため、上記の加熱処理では結晶回復せず、非晶質成分を有した状態となっている。この領域の抵抗は極めて高いが、TF Tとしてのキャリアの移動を妨げないように、ソース領域またはドレイン領域とは別の領域として形成されるので、問題とはならない。この工程後に、レーザーラマン分光法により、それぞれの領域のラマン分光スペクトルにおける非晶質SiのTOフォノンピークPaと結晶SiのTOフォノンピークPcとの比Pa/Pcを測定すると、ゲッタリング領域の方がチャネル領域やソース／ドレイン領域より大きくなっている。この加熱処理工程後、これ以上の高温工程は行わないため、この状態はTF T完成後も維持される。

【0224】

次いで、図6（E）に示すように、層間絶縁膜を形成する。膜厚200nmの窒化ケイ素膜426と膜厚700nmの酸化ケイ素膜427とを積層形成し、2層構造とした。さらに、300～500℃で1時間程度の熱処理を行う。これにより、層間絶縁膜（特に窒化ケイ素膜426）から、半導体層およびゲート絶縁膜の界面へ水素原子が供給され、TF特性を劣化させる不對結合手（ダングリングボンド）を終端化し不活性化する。

【0225】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFの電極・配線428を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。そして最後に、350℃、1時間のアニールを行い、図6（E）に示すnチャネル型TF429とpチャネル型TF430とを完成させる。さらに必要に応じて、ゲート電極409nおよび409pの上にもコンタクトホールを設けて、配線428により必要な電極間を接続する。また、TFを保護する目的で、それぞれのTF上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0226】

以上の実施形態にしたがって作製したそれぞれのTFの電界効果移動度や閾値電圧は、第3実施形態と同様の良好な特性を示す。加えて、本実施形態では、nチャネル型TF、pチャネル型TF共に、半導体層に強力なゲッタリング能力を有する専用のゲッタリング領域を持ち合わせており、強固なゲッタリングが行なえ、チャネル領域やソース・ドレイン領域との接合部におけるニッケル濃度をより低減できる。本実施形態で作製されたnチャネル型TFおよびpチャネル型TFでは、従来例で頻繁に見られたTFオフ動作時のリーク電流の異常な増大が全く無く、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、半導体装置としての信頼性をより高めることができた。

【0227】

また、本実施形態では、nチャネル型TFTとpチャネル型TFTの双方において、それぞれのソース・ドレイン領域形成工程を利用して同時にゲッタリング領域を形成することができ、ゲッタリングのための付加工程（フォトリソ工程、ドーピング工程、アニール工程）が全くない。その結果、製造工程を簡略化でき、半導体装置の製造コストを低減と良品率の向上が図れた。そして、本実施形態で作製したnチャネル型TFTとpチャネル型TFTとを相補的に構成したCMOS構造回路で、インバータチェーンやリングオシレーター等の回路を形成した場合、第3実施形態で作製したものと比べてさらに信頼性が高く、安定した回路特性を示した。

【0228】

（第5実施形態）

本発明を用いた第5の実施の形態について説明する。本実施形態でも、nチャネル型TFTとpチャネル型TFTを相補型に構成したCMOS構造の回路をガラス基板上に作製する工程について、説明を行う。

【0229】

図7および図8は、本実施形態で説明するTFTの作製工程を示す断面図であり、図7（A）から（F）、図8（A）から（E）の順にしたがって工程が順次進行する。

【0230】

前述の第1から第3の実施形態と類似の方法で、図7（A）において、ガラス基板501のTFTを形成する表面に、酸化窒化ケイ素膜からなる下層の第1下地膜502と、酸化ケイ素膜からなる第2の下地膜503を積層形成し、続いて、例えば50nmの厚さのa-Si膜504を形成する。そして、図7（B）に示すように、前述の第1から第3の実施形態と類似の方法により、a-Si膜504表面上にニッケル505の微量添加を行う。

【0231】

次に、第1の加熱処理を行い、a-Si膜504に添加されたニッケル505を触媒として、a-Si膜504を固相状態で結晶化し、結晶質ケイ素膜504aを得る。この状態が図7（C）に相当する。そして、図7（D）に示すように

、前述の第1から第3の実施形態と類似の方法で、レーザー光506を照射し、この結晶質ケイ素膜504aの結晶性を向上させ、より高品質な結晶質ケイ素膜504bとする。

【0232】

その後、結晶質ケイ素膜504bの不要な領域を除去して素子間分離を行う。上記工程により、図7(E)に示すように、後にnチャネル型TFETとpチャネル型TFETの半導体層となる島状の結晶質ケイ素膜507nと507pとが形成される。

【0233】

次に、前述の第1から第3の実施形態と類似の方法で、上記の活性領域となる結晶質ケイ素膜507n、507pを覆うように、例えば厚さ100nmの酸化ケイ素膜をゲート絶縁膜508として成膜する。引き続いて、図7(F)に示すように、スパッタリング法によって高融点メタル（本実施形態ではタンゲステン）を堆積し、これをパターンニング形成して、ゲート電極509nと509pを形成する。

【0234】

次に、第3実施形態と同様の方法を用いて、それぞれの半導体層に低濃度の不純物（リン）510を注入する。この工程により半導体層507nと507pにおいて、ゲート電極509nと509pに覆われていない領域は低濃度のリン510が注入された領域512となり、ゲート電極509n、509pにマスクされ不純物510が注入されない領域は、後にnチャネル型TFETとpチャネル型TFETのチャネル領域511n、511pとなる。この状態が図7(F)に相当する。

【0235】

次いで、図8(A)に示すように、nチャネル型TFETの半導体層507nにおいて、ゲート電極509nを一回り大きく覆うようにフォトレジストによるドーピングマスク513を設け、pチャネル型TFETにおいては、ゲート電極509pをさらに一回り大きく覆い、活性領域507pの外縁部を露出させるようにフォトレジストによるドーピングマスク514を設ける。その後、イオンドーピ

ング法によって、レジストマスク 513、514 をマスクとしてそれぞれの半導体層に不純物（リン）515 を高濃度に注入する。このとき、ドーピングガスとしてフォスフィン（ PH_3 ）を用い、加速電圧を $60 \sim 90 \text{ kV}$ 、例えば 80 kV 、ドーズ量を $2 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、n チャネル型 TFT の半導体層 507 n においては、マスク 513 より露出している領域 517 に高濃度にリンが注入される。そして、半導体層 507 n において、レジストマスク 513 に覆われ、高濃度のリン 515 がドーピングされなかった領域は、低濃度にリンが注入された領域として残り、LDD (Lightly Doped Drain) 領域 516 を形成する。また、p チャネル型 TFT においても、マスク 514 より露出している領域 518 に高濃度にリンが注入される。このときの領域 517、518 における n 型不純物元素（リン）515 の膜中濃度は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ となっている。また、n チャネル型 TFT の LDD 領域 516 における n 型不純物元素（リン）510 の膜中濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ となっており、このような範囲であるときに LDD 領域として機能する。

【0236】

続いて、図 8 (B) に示すように、p 型不純物のドーピング工程で利用したレジストマスク 513、514 を利用して、ゲート絶縁膜 508 をエッチングし、選択的に薄膜化されたゲート絶縁膜 519 を形成する。本実施形態では、RIE (リアクティブイオンエッチング) を用い、エッチングガスとして、 CHF_3 を用い、エッチングを行なった。そして、上記工程により、マスク 513、514 に覆われていない領域のゲート絶縁膜が薄膜化される。本実施形態では、このときのエッチング量が例えば 50 nm となるように設定した。したがって、選択的に薄膜化されたゲート絶縁膜 519 の膜厚は、n チャネル型 TFT 半導体層 507 n の領域 517 および p チャネル型 TFT 半導体層 507 p の領域 518 の上では、膜厚が 50 nm 程度になっている。

【0237】

次に、レジストマスク 513、514 を除去した後、図 8 (C) に示すように、また新たに、n チャネル型 TFT の半導体層 507 n において、ゲート電極 5

09 nを覆い、半導体層 507 nの外縁部を露出させるようにフォトリソトによるドーピングマスク 520を設ける。このとき、pチャネル型TF Tの上方にはマスクは設けられず、TF T全体が露出されている。この状態で、イオンドーピング法によって、レジストマスク 520とpチャネル型TF Tのゲート電極 509 pをマスクとして、半導体層にp型を付与する不純物（ホウ素）521を注入する。ドーピングガスとして、ジボラン（ B_2H_6 ）を用い、加速電圧を40 kV～80 kV、例えば70 kVとし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $7 \times 10^{16} \text{ cm}^{-2}$ とする。このとき、それぞれの半導体層 507 nと 507 pとにおいて、マスク 520とpチャネル型TF Tのゲート電極 509 pに覆われていない領域に、上層のゲート絶縁膜 519を越してホウ素がドーピングされるが、上に存在するゲート絶縁膜 519の膜厚により、ゲート絶縁膜が薄膜化された領域 524 n、524 pとそれ以外の領域 523とで、実際にドーピングされるホウ素の量が異なり、その結晶状態も異なる。ゲート絶縁膜の薄い領域 524 n、524 pでは、領域 523に比べてホウ素の濃度が高くなっていると共に、上層のゲート絶縁膜が薄い分、領域 523に比べて相対的に高い加速電圧でホウ素イオンが半導体層中に注入されるため、個々のイオンの衝撃エネルギーが大きく、結晶性がより崩れた状態となる。これに対して、領域 523では、ゲート絶縁膜により注入時におけるイオンの衝撃エネルギーが緩和され、良好な結晶状態を維持することができる。

【0238】

この工程により、pチャネル型TF Tの半導体層 507 pにおいては、領域 523は、先の工程で低濃度に注入されている低濃度n型不純物のリン 510を反転させp型となり、後のTF Tのソース・ドレイン領域となる。また、領域 524 pは、先の工程で注入された高濃度のリン 515に加えて、高濃度のホウ素 521が注入され、さらにその結晶状態が崩れた状態となっており、ゲッタリング領域として機能する。また、nチャネル型TF Tの半導体層 507 nにおいても、領域 524 nは、524 pと同様に高濃度のリンとホウ素が注入され、結晶状態が崩れた状態となっており、ゲッタリング領域となる。レジストマスク 520に覆われ、ホウ素がドーピングされなかった領域は、n型不純物領域として残り

、nチャネル型TFETのソース・ドレイン領域522を形成する。このようにして、簡易に、ゲッタリング領域とソース・ドレイン領域とを、それぞれの目的に見合った状態で作り分けることができる。このときのゲッタリング領域524n、524pにおけるp型不純物元素（ホウ素）521の膜中濃度は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ となっている。

【0239】

次いで、レジストマスク520を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第2の熱処理を行う。本実施形態では、RTA（Rapid Thermal Annealing）により行った。窒素雰囲気中にて、基板表面に高温の窒素ガスを吹き付け、瞬時に昇降温を行う方式のRTA装置を用いた。具体的な処理条件としては、保持温度550～750℃の範囲で、保持時間30秒～10分程度、より好ましくは保持温度600～700℃の範囲で、保持時間1分～7分程度である。本実施形態では、670℃で5分のRTA処理を行った。昇温速度および降温速度としては、共に100℃/分以上で行うことが好ましく、本実施形態では、250℃/分程度とした。この熱処理工程で、それぞれの半導体層507n、507pにおいては、ソース・ドレイン領域の外側に形成されたゲッタリング領域524n、524pに高濃度にドーピングされているリンとホウ素が、その領域でのニッケルに対する固溶度を高め、さらにニッケルに対する偏析サイトを形成する。また、領域524n、524pは、上層のゲート絶縁膜薄膜化の効果で、ドーピング時に非晶質化が進行しており、これらの結晶欠陥や不対結合手（ダングリングボンド）もニッケルの偏析サイトとして機能する。これらがゲッタリング効果を相乗的に高め、nチャネル型TFETの半導体層507nにおいては、チャネル領域511n、LDD領域516およびソース・ドレイン領域522に存在しているニッケルを、チャネル領域からLDD領域、さらにソース・ドレイン領域、そしてゲッタリング領域524nへと、図8（D）の矢印525で示される方向に移動させる。リンのみがドーピングされたソース／ドレイン領域522もゲッタリング効果を有するが、リンに加えてホウ素もドーピングされ、非晶質化がより進行しているゲッタリング領域524nの能力が圧倒的に高いので、ゲッタリング領域524nにニッケルが集められる。また

、pチャネル型TF Tの半導体層507pにおいても、ソース・ドレイン領域の外側に形成されたゲッタリング領域524pが、nチャネルTF Tのゲッタリング領域524nと同様のゲッタリング能力を有し、チャネル領域511p、ソース・ドレイン領域523に存在しているニッケルを、チャネル領域からソース・ドレイン領域、そしてゲッタリング領域524pへと、同様に矢印525で示される方向に移動させる。このゲッタリングのための第2の熱処理工程により、ゲッタリング領域524n、524pには、触媒元素が移動してくるため、触媒元素が、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度となる。

【0240】

また、この加熱処理工程で、nチャネル型TF Tのソース・ドレイン領域522とLDD領域516にドーピングされたn型不純物（リン）と、pチャネル型TF Tのソース・ドレイン領域523にドーピングされたp型不純物（ホウ素）の活性化も同時に行われる。その結果、nチャネル型TF Tのソース・ドレイン領域522のシート抵抗値は、 $0.5 \sim 1.5 \text{ k}\Omega / \square$ 程度となり、LDD領域516のシート抵抗値は、 $40 \sim 80 \text{ k}\Omega / \square$ であった。また、pチャネル型TF Tのソース・ドレイン領域523のシート抵抗値は、 $1 \sim 2 \text{ k}\Omega / \square$ 程度であった。しかしながら、ゲッタリング領域524n、524pにおいては、ドーピングされたn型不純物元素のリンとp型不純物元素のホウ素がキャリア（電子とホール）を打ち消しあい、また、上層のゲート絶縁膜が薄ことによる注入ダメージもあり、そのシート抵抗値は数十 $\text{k}\Omega / \square$ と、ソース・ドレイン領域としては機能しないような値となっている。但し、これらのゲッタリング領域は、TF Tにおいてキャリアの移動を妨げないような配置で、ソース領域またはドレイン領域とは別の領域に形成されるため、トランジスタ動作上問題とはならない。この工程後に、レーザーラマン分光法により、それぞれの領域のラマン分光スペクトルにおける非晶質SiのTOフォノンピークPaと結晶SiのTOフォノンピークPcとの比Pa/Pcを測定すると、ゲッタリング領域の方がチャネル領域やソース・ドレイン領域より大きくなっていった。

【0241】

次いで、図8（E）に示すように、層間絶縁膜を形成する。膜厚200nmの

窒化ケイ素膜 526 と膜厚 700 nm の酸化ケイ素膜 527 とを積層形成し、2 層構造とした。さらに、300～500℃で 1 時間程度の熱処理を行う。これにより、層間絶縁膜（特に窒化ケイ素膜 526）から、半導体層およびゲート絶縁膜の界面へ水素原子が供給され、TF T 特性を劣化させる不對結合手（ダングリングボンド）を終端化し不活性化する。

【0242】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によって TF T の電極・配線 528 を形成する。そして最後に、350℃、1 時間のアニールを行い、図 8（E）に示す n チャネル型 TF T 529 と p チャネル型 TF T 530 とを完成させる。さらに必要に応じて、ゲート電極 509 n および 509 p の上にもコンタクトホールを設けて、配線 528 により必要な電極間を接続する。また、TF T を保護する目的で、それぞれの TF T 上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0243】

以上の実施形態にしたがって作製したそれぞれの TF T の電界効果移動度や閾値電圧は、第 3 および第 4 実施形態と同様の良好な特性を示した。加えて、本実施形態では、第 4 実施形態と同様、n チャネル型 TF T、p チャネル型 TF T 共に、半導体層に強力なゲッタリング能力を有する専用のゲッタリング領域を持ち合わせており、強固なゲッタリングが行なえ、チャネル領域やソース・ドレイン領域との接合部におけるニッケル濃度をより低減できる。本実施形態で作製された n チャネル型 TF T および p チャネル型 TF T では、従来例で頻繁に見られた TF T オフ動作時のリーク電流の異常な増大が全く無く、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、半導体装置としての信頼性をより高めることができた。

【0244】

また、本実施形態でも、第 4 実施形態と同様、n チャネル型 TF T と p チャネル型 TF T の双方において、それぞれのソース・ドレイン領域形成工程を利用して同時にゲッタリング領域を形成することができ、ゲッタリングのための付加工程（フォトリソ工程、ドーピング工程、アニール工程）が全くない。その結果、

製造工程を簡略化でき、半導体装置の製造コストを低減と良品率の向上が図れた。

【 0 2 4 5 】

(第 6 実施形態)

本発明を用いた第 6 の実施の形態について説明する。本実施形態でも、n チャネル型 T F T と p チャネル型 T F T を相補型に構成した C M O S 構造の回路をガラス基板上に作製する工程について、説明を行う。

【 0 2 4 6 】

図 9 および図 1 0 は、本実施形態で説明する T F T の作製工程を示す断面図であり、図 9 (A) から (F) 、図 1 0 (A) から (E) の順にしたがって工程が順次進行する。

【 0 2 4 7 】

前述の第 1 から第 3 の実施形態と類似の方法で、図 9 (A) において、ガラス基板 6 0 1 の T F T を形成する表面に、酸化窒化ケイ素膜からなる下層の第 1 下地膜 6 0 2 と、酸化ケイ素膜からなる第 2 の下地膜 6 0 3 を積層形成し、続いて、例えば 5 0 n m の厚さの a - S i 膜 6 0 4 を形成する。そして、図 9 (B) に示すように、前述の第 1 から第 3 の実施形態と類似の方法により、a - S i 膜 6 0 4 表面上にニッケル 6 0 5 の微量添加を行う。

【 0 2 4 8 】

次に、第 1 の加熱処理を行い、a - S i 膜 6 0 4 に添加されたニッケル 6 0 5 を触媒として、a - S i 膜 6 0 4 を固相状態で結晶化し、結晶質ケイ素膜 6 0 4 a を得る。この状態が図 9 (C) に相当する。そして、図 9 (D) に示すように、前述の第 1 から第 3 の実施形態と類似の方法で、レーザー光 6 0 6 を照射し、この結晶質ケイ素膜 6 0 4 a の結晶性を向上させ、より高品質な結晶質ケイ素膜 6 0 4 b とする。

【 0 2 4 9 】

その後、結晶質ケイ素膜 6 0 4 b の不要な領域を除去して素子間分離を行う。上記工程により、図 9 (E) に示すように、後に n チャネル型 T F T と p チャネル型 T F T の半導体層となる島状の結晶質ケイ素膜 6 0 7 n と 6 0 7 p とが形成

される。

【0250】

続いて、図9（F）に示すように、例えば厚さ100nmのゲート絶縁膜608を形成し、その上に導電膜609をスパッタ法またはCVD法などを用いて形成する。導電膜としては高融点金属のW、Ta、Ti、Moまたはその合金材料のいずれかを用いればよい。

【0251】

次いで、導電膜609上にレジストからなるマスク610、611を形成する。この状態が図9（F）の状態に相当する。続いて、導電膜609をエッチングして、第2のゲート電極用導電層612、第1のゲート電極613を形成する。このとき、第2のゲート電極用導電層612は、nチャネル型TFETの半導体層607n全体を覆うように形成されている。また、第1のゲート電極613は、pチャネル型TFETのゲート電極を構成する。

【0252】

そして、レジストマスク610、611を除去した後、次に、図10（A）に示すように、イオンドーピング法によって、第2のゲート電極用導電層612と第1のゲート電極613をマスクとして、pチャネル型TFETの半導体層607pにp型を付与する不純物（ホウ素）614を注入する。ドーピングガスとして、ジボラン（ B_2H_6 ）を用い、加速電圧を40kV～80kV、例えば70kVとし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、pチャネル型TFETの半導体層607pにおいては、第1のゲート電極613下部のチャネル領域615p以外に高濃度にホウ素614が注入され、p型不純物が注入された領域616となる。このとき、nチャネル型TFETの半導体層607nにおいては、第2のゲート電極用導電層により、全体が覆われているので、ホウ素614の注入は行われない。なお、本ドーピング工程は、レジストマスク610、611を除去した後に行ったが、これらのレジストマスクを残したままで行ない、ドーピング工程後に除去しても構わない。

【0253】

次いで、図10（B）に示すように、また新たに、第2のゲート電極用導電層

612 上に第2のゲート電極用導電層より幅が小さくなるようにフォトレジストによるドーピングマスク617を設け、pチャネル型TF Tにおいては、第1のゲート電極613をさらに一回り大きく覆い、半導体層607 pの外縁部を露出させるようにフォトレジストによるドーピングマスク618を設ける。

【0254】

続いて、レジストマスク617と618を利用して、第2のゲート電極用導電層612をエッチングして、第2のゲート電極619を形成するとともに、露出している領域のゲート絶縁膜608をエッチングし、選択的に薄膜化されたゲート絶縁膜620を形成する。第2のゲート電極619は、nチャネル型TF Tのゲート電極となる。この工程で、レジストマスク618と第2のゲート電極用導電層612に覆われていない領域のゲート絶縁膜608が、最初からエッチング処理に晒される状態となり、第2のゲート電極619の形成と共に薄膜化される。本実施形態では、このときのゲート絶縁膜608のエッチング量が30 nmとなるようにした。その結果、選択的に薄膜化されたゲート絶縁膜620では、薄膜化された領域の膜厚が70 nm程度になっている。

【0255】

そして、この状態で、図10 (C) に示すように、n型不純物元素（本実施形態ではリン）621をドーピングする。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90 kV、例えば80 kV、ドーズ量を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、nチャネル型TF Tの半導体層607 nにおいては、第2のゲート電極619より露出している領域622に高濃度に不純物（リン）621が注入され、後のnチャネル型TF Tのソース／ドレイン領域622が形成される。第2のゲート電極619下部のリンが注入されない領域は、nチャネル型TF Tのチャネル領域615 nとなる。また、pチャネル型TF Tの半導体層607 pにおいては、レジストマスク618より露出し、上層のゲート絶縁膜620が薄膜化されている領域624にリン621がより高濃度に注入される。このときの領域624におけるn型不純物元素（リン）の膜中濃度は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ となっており、領域624は、pチャネル型TF Tにおいてゲッタリング領域として

機能する。また、レジストマスク 618 に覆われ、リンがドーピングされなかった領域は、p 型不純物領域として残り、p チャネル型 T F T のソース・ドレイン領域 623 を形成する。

【0256】

このとき、p チャネル型 T F T のゲッタリング領域 624 は、n チャネル型 T F T のソース・ドレイン領域 622 と同一のドーピング工程で形成されるが、上層のゲート絶縁膜 620 の膜厚が異なっているため、リンのドーピングの状態が異なっている。領域 622 においては、上層の厚さ 100 nm のゲート絶縁膜 620 を介してリンのドーピングが行なわれるのに対し、領域 624 においては、上層のゲート絶縁膜の厚さが本実施形態では 70 nm となっているので、ドーピングされるリンはより高濃度となる。図 19 は加速電圧 70 k V の結果であるが、本実施形態のように加速電圧 80 k V の場合は、図 19 の横軸にほぼ 8/7 を掛け合わせたようなプロファイルとなり、n チャネル型 T F T のソース・ドレイン領域 622 に対して、p チャネル型 T F T のゲッタリング領域 624 のリンの濃度は、約 3 倍程度となっている。それだけでなく、領域 624 では、上層のゲート絶縁膜が薄い分、ゲート絶縁膜が厚い領域 622 に比べて相対的に高い加速電圧でリンイオンが半導体層中に注入されるため、個々のイオンの衝撃エネルギーが大きく、結晶性が崩れ、非晶質化が進行する。これに対して、領域 622 では、ゲート絶縁膜により注入時におけるイオンの衝撃エネルギーが緩和され、非晶質化がおこらず、結晶状態を維持することができる。

【0257】

次いで、レジストマスク 617、618 を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第 2 の加熱処理を行う。本実施形態では、一般的な拡散炉（ファーネス炉）を用いて、例えば 550℃ で 4 時間の加熱処理を行なった。このときの加熱処理としては、その他の方式も使用可能で、条件についても実施者が便宜設定すればよい。この熱処理工程で、図 10（D）に示すように、後の n チャネル型 T F T の半導体層 607 n においては、ソース・ドレイン領域 622 にドーピングされているリンが、その領域でのニッケルの固溶度を高め、チャネル領域 615 n に存在しているニッケルを、チャネル領域からソース・ドレイ

ン領域 622 へと、矢印 625 で示される方向に移動させる。また、後の p チャネル型 TFT の半導体層 607 p においても、ソース・ドレイン領域の外側に形成されたゲッタリング領域 624 において、より高濃度にドーピングされているリンとホウ素、そしてリンのドーピング時に生じた非晶質成分の格子欠陥等が、チャネル領域 615 p、ソース・ドレイン領域 623 に存在しているニッケルを、チャネル領域からソース・ドレイン領域、そしてゲッタリング領域 624 へと、同様に矢印 625 で示される方向に移動させる。この加熱処理工程により、ゲッタリング領域 624 にはニッケルが移動してくるため、ゲッタリング領域 624 におけるニッケル濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上となっている。なお、本実施形態では、n チャネル型 TFT は、ソース・ドレイン領域 622 をゲッタリング領域として利用しており、専用のゲッタリング領域 624 を有する p チャネル型 TFT に比べて、ゲッタリング効果は劣るが、ゲッタリング領域の面積が大きく取れることと、ゲッタリングに必要な距離が小さくなるため、ある程度のゲッタリング効果は得られる。

【0258】

また、この加熱処理工程で、n チャネル型 TFT のソース・ドレイン領域 622 にドーピングされた n 型不純物（リン）と、p チャネル型 TFT のソース・ドレイン領域 623 にドーピングされた p 型不純物（ホウ素）の活性化も同時に行われる。その結果、n チャネル型 TFT のソース・ドレイン領域 622 のシート抵抗値は、 $0.5 \sim 1 \text{ k}\Omega / \square$ 程度となり、p チャネル型 TFT のソース・ドレイン領域 623 のシート抵抗値は、 $1 \sim 1.5 \text{ k}\Omega / \square$ 程度であった。しかしながら、ゲッタリング領域 624 においては、ドーピングされた n 型不純物元素のリンと p 型不純物元素のホウ素がキャリア（電子とホール）を打ち消しあい、また、上層のゲート絶縁膜が薄ことによる注入ダメージもあり、そのシート抵抗値は数十 $\text{k}\Omega / \square$ と、ソース・ドレイン領域としては機能しないような値となっている。但し、p チャネル型 TFT の半導体層において、ゲッタリング領域は、TFT においてキャリアの移動を妨げないような配置で、ソース領域またはドレイン領域とは別の領域に形成されるため、トランジスタ動作上問題とはならない。この工程後に、レーザーラマン分光法により、それぞれの領域のラマン分光スペ

クトルにおける非晶質 Si の TO フォノンピーク P_a と結晶 Si の TO フォノンピーク P_c との比 P_a/P_c を測定すると、ゲッターリング領域 624 の方がチャネル領域 615 p やソース・ドレイン領域 623 より大きくなっていた。

【0259】

次いで、図 10 (E) に示すように、層間絶縁膜を形成する。本実施形態では、膜厚 200 nm の窒化ケイ素膜 626 と膜厚 700 nm の酸化ケイ素膜 627 とを積層形成し、2 層構造とした。

【0260】

さらに、300～500℃で1時間程度の熱処理を行う。これにより、層間絶縁膜（特に窒化ケイ素膜 626）から、活性領域およびゲート絶縁膜の界面へ水素原子が供給され、TF T 特性を劣化させる不対結合手（ダングリングボンド）を終端化し不活性化する。

【0261】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料によってTF T の電極・配線 628 を形成し、図 10 (E) に示す n チャネル型TF T 629 と p チャネル型TF T 630 とを完成させる。さらに必要に応じて、ゲート電極 619、613 の上にもコンタクトホールを設けて、配線 628 により必要な電極間を接続する。

【0262】

以上の実施形態にしたがって作製したそれぞれのTF T の電界効果移動度は、前述の他の実施形態と同様の良好な特性を示す。また、本実施形態では、第3から第5の実施形態に比べ、n チャネル型TF T と p チャネル型TF T とにおいて、それぞれのソース・ドレイン領域およびゲッターリング領域の形成工程で、ゲート電極をドーピングマスクとして利用することで、さらにフォトリソ工程が削減できるため、製造工程を簡略化でき、半導体装置の製造コストを低減と良品率の向上が図れた。

【0263】

（第7実施形態）

本発明を用いた第7の実施の形態について説明する。本実施形態でも、n チャ

ネル型 T F T と p チャネル型 T F T を相補型に構成した C M O S 構造の回路をガラス基板上に作製する工程について、説明を行う。

【0264】

図 1 1 および図 1 2 は、本実施形態で説明する T F T の作製工程を示す断面図であり、図 1 1 (A) から (F)、図 1 2 (A) から (E) の順にしたがって工程が順次進行する。

【0265】

前述の第 1 から第 3 の実施形態と類似の方法で、図 1 1 (A) において、ガラス基板 7 0 1 の T F T を形成する表面に、酸化窒化ケイ素膜からなる下層の第 1 下地膜 7 0 2 と、酸化ケイ素膜からなる第 2 の下地膜 7 0 3 を積層形成し、続いて、例えば 5 0 n m の厚さの a - S i 膜 7 0 4 を形成する。そして、図 1 1 (B) に示すように、前述の第 1 から第 3 の実施形態と類似の方法により、a - S i 膜 7 0 4 表面上にニッケル 7 0 5 の微量添加を行う。

【0266】

次に、第 1 の加熱処理を行い、a - S i 膜 7 0 4 に添加されたニッケル 7 0 5 を触媒として、a - S i 膜 7 0 4 を固相状態で結晶化し、結晶質ケイ素膜 7 0 4 a を得る。この状態が図 1 1 (C) に相当する。そして、図 1 1 (D) に示すように、前述の第 1 から第 3 の実施形態と類似の方法で、レーザー光 7 0 6 を照射し、この結晶質ケイ素膜 7 0 4 a の結晶性を向上させ、より高品質な結晶質ケイ素膜 7 0 4 b とする。

【0267】

その後、結晶質ケイ素膜 7 0 4 b の不要な領域を除去して素子間分離を行う。上記工程により、図 1 1 (E) に示すように、後に n チャネル型 T F T と p チャネル型 T F T の半導体層となる島状の結晶質ケイ素膜 7 0 7 n と 7 0 7 p とが形成される。

【0268】

続いて、例えば厚さ 1 0 0 n m のゲート絶縁膜 7 0 8 を形成し、その上に導電膜 7 0 9 をスパッタ法または C V D 法などを用いて形成する。導電膜としては高融点金属の W、T a、T i、M o またはその合金材料のいずれかを用いればよい

。本実施形態では、Wを用いた。次いで、導電膜709上にレジストからなるマスク710、711を形成する。なお、このマスク710、711は、ゲート電極を形成するためのマスクである。本実施形態では、nチャネル型TFETにおいて、第2のゲート電極用導電層を、その半導体層に、p型を付与する不純物元素が添加される領域（後のゲッタリング領域）を形成するためのマスクとして用いるというものであるため、nチャネル型TFETのマスク710の幅はpチャネル型TFETのマスク711の幅より大きめに設計されている。この状態が図11（F）に相当する。

【0269】

続いて、導電膜709をエッチングして、第2のゲート電極用導電層712、第1のゲート電極713を形成する。nチャネル型TFETにおいては、第2のゲート電極用導電層712により、半導体層707nの外縁部が露出された状態となっている。また、第1のゲート電極713は、後にpチャネル型TFETのゲート電極となる。そして、レジストマスク710、711を除去した後、図12（A）に示すように、イオンドーピング法によって、第2のゲート電極用導電層712と第1のゲート電極713をマスクとして、それぞれの半導体層にp型を付与する不純物（ホウ素）714を注入する。ドーピングガスとして、ジボラン（ B_2H_6 ）を用い、加速電圧を40kV～80kV、例えば70kVとし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $7 \times 10^{16} \text{ cm}^{-2}$ とする。この工程により、nチャネル型TFETの半導体層707nにおいては、第2のゲート電極用導電層712より露出している領域716にホウ素が注入される。そして、pチャネル型TFETの半導体層707pにおいては、ゲート電極713下部のチャネル領域715p以外の領域717にホウ素714が注入される。このときの領域716と領域717におけるp型不純物元素（ホウ素）714の膜中濃度は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ となっている。

【0270】

続いて、nチャネル型TFETの第2のゲート電極用導電層712を所定の形状にエッチングするためのレジストからなるマスク718、およびpチャネル型TFETの半導体層にゲッタリング領域を形成するためのレジストからなるマスク7

19を形成する。ここで、マスク718の幅は、第2のゲート電極用導電層712の幅より小さくなるように形成される。この状態が図12(B)の状態に相当する。

【0271】

その後、エッチングによりnチャネル型TFETにおいて所定の形状となる第2のゲート電極720を形成する。本実施形態では、このときのエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。このエッチング工程において、第2のゲート電極用導電層712とレジストマスク719から露出している領域のゲート絶縁膜708は、当初よりエッチング雰囲気中に晒されることになり、その領域でゲート絶縁膜708が薄膜化される。ゲート絶縁膜708を薄膜化させる量のコントロールは、エッチングガスの流量比によりコントロールできる。本実施形態では、このときのゲート絶縁膜のエッチング量を50nmとなるようにした。したがって、この工程により、第2のゲート電極720の形成工程と兼ねて、ゲート絶縁膜を薄膜化する工程が行われ、選択的に一部分が薄膜化されたゲート絶縁膜721が得られる。本実施形態では、ゲート絶縁膜721の膜厚は、薄膜化された領域で50nm程度になっている。また、第2のゲート電極720は、後にnチャネル型TFETのゲート電極となる。

【0272】

次に、この状態で、図12(C)に示すように、イオンドーピング法によって、それぞれの半導体層に不純物(リン)722を高濃度に注入する。このとき、nチャネル型TFETの半導体層707nにおいては、ゲート電極720下部以外の領域にリンが注入され、pチャネル型TFETにおいては、ゲート電極713を一回り大きく覆い、半導体層707pの外縁部を露出させるように形成されたフ

オトレジストマスク 719 に覆われていない領域にリンが注入される。このとき、ドーピングガスとしてフォスフィン (PH_3) を用い、加速電圧を 60 ~ 90 kV、例えば 70 kV、ドーズ量を $2 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。このときのリン 722 のドーピングは、上層のゲート絶縁膜 721 を越して行われ、上に存在するゲート絶縁膜 721 の膜厚により、ゲート絶縁膜が薄膜化された領域とそれ以外の領域とで、リンのドーピングの状態が大きく異なってくる。

【0273】

このときのドーピングプロファイルを図 19 に示す。領域 723 においては、上層の厚さ 100 nm のゲート絶縁膜 721 を介してリンのドーピングが行なわれるため、図 19 において深さ 1000 ~ 1500 Å (100 ~ 150 nm) の位置が領域 723 のケイ素膜中にドーピングされるリンの濃度となる。これに対して、上層のゲート絶縁膜が薄膜化された領域 725 n と 725 p においては、上にゲート絶縁膜の厚さが本実施形態では 50 nm となっているので、図 19 において深さ 500 ~ 1000 Å (50 ~ 100 nm) の位置が領域 725 n と 725 p のケイ素膜中にドーピングされるリンの濃度となる。よって、領域 723 と、上層のゲート絶縁膜が薄膜化された領域 725 n、725 p とでは、同一のドーピング工程であるにもかかわらず、大きな濃度差が生じ、領域 725 n、725 p にドーピングされるリンの実量は、領域 723 の 5 倍以上となっている。それだけでなく、領域 725 n、725 p では、上層のゲート絶縁膜が薄い分、ゲート絶縁膜が厚い領域 723 に比べて相対的に高い加速電圧でリンイオンが半導体層中に注入されるため、個々のイオンの衝撃エネルギーが大きく、結晶性が完全に崩れ、非晶質となる。これに対して、領域 723 では、ゲート絶縁膜により注入時におけるイオンの衝撃エネルギーが緩和され、非晶質化がおこらず、結晶状態を維持することができる。

【0274】

この工程により、n チャネル型 TFT において、ゲート電極 720 下部でリンが注入されない領域 715 n はチャネル領域となり、領域 723 は後の TFT のソース・ドレイン領域となり、領域 725 n はゲッタリング領域となる。また、

pチャネル型TFETにおいては、高濃度に不純物（リン）722が注入された領域725pは、ゲッタリング領域となり、レジストマスク719に覆われ、高濃度のリンがドーピングされなかった領域は、p型不純物領域として残り、pチャネル型TFETのソース・ドレイン領域724を形成する。ゲッタリング領域の725nと725pは、前工程でのホウ素714に加えて高濃度のリン722が合わせてドーピングされた状態となっている。このようにして、簡易に、ゲッタリング領域とソース・ドレイン領域とを、それぞれの目的に見合った状態で作り分けることができる。このときのゲッタリング領域725n、725pにおけるn型不純物元素（リン）722の膜中濃度は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ となっている。

【0275】

次いで、レジストマスク718、719を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第2の熱処理を行う。本実施形態では、RTA（Rapid Thermal Annealing）により行った。窒素雰囲気中にて、基板表面に高温の窒素ガスを吹き付け、瞬時に昇降温を行う方式のRTA装置を用い、670℃で5分のRTA処理を行った。この熱処理工程で、それぞれの半導体層707n、707pにおいては、ソース・ドレイン領域の外側に形成されたゲッタリング領域725n、725pに高濃度にドーピングされているリンとホウ素が、その領域でのニッケルに対する固溶度を高め、さらにニッケルに対する偏析サイトを形成する。また、領域725n、725pは、上層のゲート絶縁膜薄膜化の効果で、ドーピング時に非晶質化しており、ニッケルに対する自由エネルギーが低下しており、結晶欠陥や不對結合手（ダングリングボンド）もニッケルの偏析サイトとして機能する。これらがゲッタリング効果を相乗的に高め、nチャネル型TFETの半導体層707nにおいては、チャネル領域715nおよびソース・ドレイン領域723に存在しているニッケルを、チャネル領域からソース・ドレイン領域、そしてゲッタリング領域725nへと、図12（D）の矢印726で示される方向に移動させる。リンのみがドーピングされたソース／ドレイン領域723もゲッタリング効果を有するが、リンがより多くドーピングされ非晶質化し、且つホウ素もドーピングされたゲッタリング領域725nの能

力が圧倒的に高いので、ゲッタリング領域 725 n にニッケルが集められる。また、p チャンネル型 T F T の半導体層 707 p においても、ソース・ドレイン領域の外側に形成されたゲッタリング領域 725 p が、n チャンネル T F T のゲッタリング領域 725 n と同様に非常に高いゲッタリング能力を有し、チャンネル領域 715 p、ソース・ドレイン領域 724 に存在しているニッケルを、チャンネル領域からソース・ドレイン領域、そしてゲッタリング領域 725 p へと、同様に矢印 726 で示される方向に移動させる。このゲッタリングのための第 2 の熱処理工程により、ゲッタリング領域 725 n、725 p には、触媒元素が移動してくるため、触媒元素が、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度となる。

【0276】

また、この加熱処理工程で、n チャンネル型 T F T のソース・ドレイン領域 723 にドーピングされた n 型不純物（リン）と、p チャンネル型 T F T のソース・ドレイン領域 724 にドーピングされた p 型不純物（ホウ素）の活性化も同時に行われる。その結果、n チャンネル型 T F T のソース・ドレイン領域 723 のシート抵抗値は、 $0.5 \sim 1.5 \text{ k}\Omega / \square$ 程度となり、p チャンネル型 T F T のソース・ドレイン領域 724 のシート抵抗値は、 $1 \sim 2 \text{ k}\Omega / \square$ 程度であった。しかしながら、ゲッタリング領域 725 n と 725 p においては、結晶化がほぼ完全に非晶質化しているため、上記の加熱処理では結晶回復せず、非晶質成分を有した状態となっている。この領域の抵抗は極めて高いが、T F T としてのキャリアの移動を妨げないように、ソース領域またはドレイン領域とは別の領域として形成されるので、問題とはならない。この工程後に、レーザーラマン分光法により、それぞれの領域のラマン分光スペクトルにおける非晶質 S i の T O フォノンピーク P_a と結晶 S i の T O フォノンピーク P_c との比 P_a / P_c を測定すると、ゲッタリング領域の方がチャンネル領域やソース／ドレイン領域より大きくなっている。この加熱処理工程後、これ以上の高温工程は行わないため、この状態は T F T 完成後も維持される。

【0277】

次いで、図 12 (E) に示すように、層間絶縁膜を形成する。本実施形態では、膜厚 200 nm の窒化ケイ素膜 727 と膜厚 700 nm の酸化ケイ素膜 728

とを積層形成し、2層構造とした。

【0278】

さらに、300～500℃で1時間程度の熱処理を行う。これにより、層間絶縁膜（特に窒化ケイ素膜727）から、活性領域およびゲート絶縁膜の界面へ水素原子が供給され、TF T特性を劣化させる不対結合手（ダングリングボンド）を終端化し不活性化する。

【0279】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料によってTF Tの電極・配線729を形成し、図12（E）に示すnチャネル型TF T730とpチャネル型TF T731とを完成させる。さらに必要に応じて、ゲート電極713、720の上にもコンタクトホールを設けて、配線729により必要な電極間を接続する。

【0280】

以上の実施形態にしたがって作製したそれぞれのTF Tの電界効果移動度や閾値電圧は、他の実施形態と同様の良好な特性を示す。また、従来例で頻繁に見られたTF Tオフ動作時のリーク電流の異常な増大が全く無く、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、CMOS構造回路でインバータチェーンやリングオシレーター等の回路を形成した場合、従来のものと比べて非常に信頼性が高く、安定した回路特性を示した。

【0281】

さらに、本実施形態では、第4および第5実施形態に比べ、nチャネル型TF Tとpチャネル型TF Tとにおいて、それぞれのソース・ドレイン領域およびゲッタリング領域の形成工程で、ゲート電極をドーピングマスクとして利用する。したがって、さらにフォトリソ工程が削減できるため、製造工程を簡略化でき、半導体装置の製造コストを低減と良品率の向上が図れた。

【0282】

（第8実施形態）

本発明を用いた第8の実施の形態について説明する。本実施形態でも、nチャ

ネル型 T F T と p チャネル型 T F T を相補型に構成した C M O S 構造の回路をガラス基板上に作製する工程について、説明を行う。

【0283】

図 1 3 および図 1 4 は、本実施形態で説明する T F T の作製工程を示す断面図であり、図 1 3 (A) から (F)、図 1 4 (A) から (E) の順にしたがって工程が順次進行する。

【0284】

前述の第 1 から第 3 の実施形態と類似の方法で、図 1 3 (A) において、ガラス基板 8 0 1 の T F T を形成する表面に、酸化窒化ケイ素膜からなる下層の第 1 下地膜 8 0 2 と、酸化ケイ素膜からなる第 2 の下地膜 8 0 3 を積層形成し、続いて、例えば 5 0 n m の厚さの a - S i 膜 8 0 4 を形成する。そして、図 1 3 (B) に示すように、前述の第 1 から第 3 の実施形態と類似の方法により、a - S i 膜 8 0 4 表面上にニッケル 8 0 5 の微量添加を行う。

【0285】

次に、第 1 の加熱処理を行い、a - S i 膜 8 0 4 に添加されたニッケル 8 0 5 を触媒として、a - S i 膜 8 0 4 を固相状態で結晶化し、結晶質ケイ素膜 8 0 4 a を得る。この状態が図 1 3 (C) に相当する。そして、図 1 3 (D) に示すように、前述の第 1 から第 3 の実施形態と類似の方法で、レーザー光 8 0 6 を照射し、この結晶質ケイ素膜 8 0 4 a の結晶性を向上させ、より高品質な結晶質ケイ素膜 8 0 4 b とする。

【0286】

その後、結晶質ケイ素膜 8 0 4 b の不要な部分を除去して素子間分離を行う。上記工程により、図 1 3 (E) に示すように、後に n チャネル型 T F T と p チャネル型 T F T の半導体層となる島状の結晶質ケイ素膜 8 0 7 n と 8 0 7 p とが形成される。

【0287】

続いて、例えば厚さ 1 0 0 n m のゲート絶縁膜 8 0 8 を形成し、その上に導電膜 8 0 9 をスパッタ法または C V D 法などを用いて形成する。導電膜としては高融点金属の W、T a、T i、M o またはその合金材料のいずれかを用いればよい

。本実施形態では膜厚 450 nm 程度の W を用いた。次いで、導電膜 809 上にレジストからなるマスク 810、811 を形成する。なお、このマスク 810、811 は、ゲート電極を形成するためのマスクである。本実施形態では、p チャネル型 TFT のゲート電極を、半導体層 807 p に n 型を付与する不純物元素が添加される領域（後のゲッタリング領域）を形成するためのマスクとして用いるというものであるため、p チャネル型 TFT 上のマスク 811 の幅は n チャネル型 TFT のマスク 810 の幅より大きめに設計されている。この状態が、図 13 (F) に相当する。

【0288】

次に、導電膜 809 をエッチングして第 1 のゲート電極 812、第 2 のゲート電極用導電層 813 を形成する。ここで、第 1 のゲート電極 812 は、後に n チャネル型 TFT のゲート電極となる。そして、レジストマスク 810、811 を除去した後、図 14 (A) に示すように、n 型不純物元素（本実施形態ではリン）814 を添加（第 1 のドーピング工程）して、n 型不純物元素を $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含む n 型不純物領域 816、817 を形成する。なお、第 1 のゲート電極 812 と重なる領域の半導体層 815 n には、リンは注入されず、後の n チャネル型 TFT のチャネル領域となる。

【0289】

続いて、p チャネル型 TFT の第 2 のゲート電極用導電層 813 を所定の形状にエッチングするためのレジストからなるマスク 819、および n チャネル型 TFT の半導体層にゲッタリング領域を形成するためのレジストからなるマスク 818 を形成する。ここで、マスク 819 の幅は、第 2 のゲート電極用導電層 813 の幅より小さくなるように形成される。また、マスク 818 は、n チャネル型 TFT においては、ゲート電極 812 を一回り大きく覆い、半導体層 807 p の外縁部を露出させるように形成される。この状態が図 14 (B) の状態に相当する。

【0290】

その後、エッチングにより p チャネル型 TFT において所定の形状となる第 2 のゲート電極 820 を形成する。このときのエッチング条件としては、第 7 実施

形態と同様、ICPエッチング法を用い、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、エッチングを行った。このエッチング工程において、第2のゲート電極用導電層813とレジストマスク818から露出している領域のゲート絶縁膜808は、当初よりエッチング雰囲気中に晒されることになり、その領域でゲート絶縁膜808が薄膜化される。ゲート絶縁膜808を薄膜化させる量のコントロールは、エッチングガスの流量比によりコントロールできる。本実施形態では、このときのゲート絶縁膜のエッチング量を30nmとなるようにした。したがって、この工程により、第2のゲート電極820の形成工程と兼ねて、ゲート絶縁膜を薄膜化する工程が行われ、選択的に一部分が薄膜化されたゲート絶縁膜821が得られる。本実施形態では、ゲート絶縁膜821の膜厚は、薄膜化された領域で70nm程度になっている。また、第2のゲート電極820は、後にpチャネル型TFETのゲート電極となる。

【0291】

次に、図14(C)に示すような状態で、イオンドーピング法によって、レジストマスク818とpチャネル型TFETのゲート電極820をマスクとして、半導体層にp型を付与する不純物（ホウ素）822を注入する。ドーピングガスとして、ジボラン（ B_2H_6 ）を用い、加速電圧を70kVとし、ドーズ量は $7 \times 10^{16} \text{ cm}^{-2}$ とした。このとき、それぞれの半導体層807nと807pとにおいて、マスク818とpチャネル型TFETのゲート電極820に覆われていない領域に、上層のゲート絶縁膜821を越してホウ素がドーピングされるが、上に存在するゲート絶縁膜821の膜厚により、ゲート絶縁膜が薄膜化された領域825n、825pとそれ以外の領域824とで、実際にドーピングされるホウ素の量が異なり、その結晶状態も異なる。ゲート絶縁膜の薄い領域825n、825pでは、領域824に比べてホウ素の濃度が高くなっていると共に、上層のゲート絶縁膜が薄い分、領域824に比べて相対的に高い加速電圧でホウ素イオンが半導体層中に注入されるため、個々のイオンの衝撃エネルギーが大きく、結晶性がより崩れた状態となる。これに対して、領域824では、ゲート絶縁膜により注入時におけるイオンの衝撃エネルギーが緩和され、良好な結晶状態を維持することができる。

【0292】

この工程により、pチャネル型TF Tの半導体層807pにおいて、領域824は、後のTF Tのソース・ドレイン領域となり、領域825pは、先の工程で注入されたリン814に加えて、高濃度のホウ素822が注入され、さらにその結晶状態が崩れた状態となっており、ゲッタリング領域として機能する。ゲート電極820下部のホウ素が注入されなかった領域815pは、pチャネル型TF Tのチャネル領域となる。また、nチャネル型TF Tの半導体層807nにおいても、領域825nは、825pと同様に高濃度のリンとホウ素が注入され、結晶状態が崩れた状態となっており、ゲッタリング領域となる。レジストマスク818に覆われ、ホウ素がドーピングされなかった領域は、n型不純物領域として残り、nチャネル型TF Tのソース・ドレイン領域823を形成する。このようにして、簡易に、ゲッタリング領域とソース・ドレイン領域とを、それぞれの目的に見合った状態で作り分けることができる。このときのゲッタリング領域825n、825pにおけるp型不純物元素（ホウ素）822の膜中濃度は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ となっている。

【0293】

次いで、レジストマスク818、819を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第2の熱処理を行う。本実施形態では、670℃で5分のRTA処理を行った。RTA装置としては、窒素雰囲気中にて、基板表面に高温の窒素ガスを吹き付け、瞬時に昇降温を行う方式を用いた。この熱処理工程で、それぞれの半導体層807n、807pにおいては、ソース・ドレイン領域の外側に形成されたゲッタリング領域825n、825pに高濃度にドーピングされているリンとホウ素が、その領域でのニッケルに対する固溶度を高め、さらにニッケルに対する偏析サイトを形成する。また、領域825n、825pは、上層のゲート絶縁膜薄膜化の効果で、ドーピング時に非晶質化が進行しており、これらの結晶欠陥や不対結合手（ダングリングボンド）もニッケルの偏析サイトとして機能する。これらがゲッタリング効果を相乗的に高め、nチャネル型TF Tの半導体層807nにおいては、チャネル領域815nおよびソース・ドレイン領域823に存在しているニッケルを、チャネル領域からソース・ドレイン領域

、そしてゲッタリング領域 825 n へと、図 14 (D) の矢印 826 で示される方向に移動させる。リンのみがドーピングされたソース／ドレイン領域 823 もゲッタリング効果を有するが、リンに加えてホウ素もドーピングされ、非晶質化がより進行しているゲッタリング領域 825 n の能力が圧倒的に高いので、ゲッタリング領域 825 n にニッケルが集められる。また、p チャンネル型 T F T の半導体層 807 p においても、ソース・ドレイン領域の外側に形成されたゲッタリング領域 825 p が、n チャンネル T F T のゲッタリング領域 825 n と同様のゲッタリング能力を有し、チャンネル領域 815 p、ソース・ドレイン領域 824 に存在しているニッケルを、チャンネル領域からソース・ドレイン領域、そしてゲッタリング領域 825 p へと、同様に矢印 826 で示される方向に移動させる。このゲッタリングのための第 2 の熱処理工程により、ゲッタリング領域 825 n、825 p には、触媒元素が移動してくるため、触媒元素が、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度となる。

【0294】

また、この加熱処理工程で、n チャンネル型 T F T のソース・ドレイン領域 823 にドーピングされた n 型不純物（リン）と、p チャンネル型 T F T のソース・ドレイン領域 824 にドーピングされた p 型不純物（ホウ素）の活性化も同時に行われる。その結果、n チャンネル型 T F T のソース・ドレイン領域 823 のシート抵抗値は、 $0.5 \sim 1.5 \text{ k} \Omega / \square$ 程度となり、p チャンネル型 T F T のソース・ドレイン領域 824 のシート抵抗値は、 $1 \sim 2 \text{ k} \Omega / \square$ 程度であった。しかしながら、ゲッタリング領域 825 n、825 p においては、ドーピングされた n 型不純物元素のリンと p 型不純物元素のホウ素がキャリア（電子とホール）を打ち消しあい、また、上層のゲート絶縁膜が薄ことによる注入ダメージもあり、そのシート抵抗値は数十 $\text{k} \Omega / \square$ と、ソース・ドレイン領域としては機能しないような値となっている。但し、これらのゲッタリング領域は、T F T においてキャリアの移動を妨げないような配置で、ソース領域またはドレイン領域とは別の領域に形成されるため、トランジスタ動作上問題とはならない。この工程後に、レーザラマン分光法により、それぞれの領域のラマン分光スペクトルにおける非晶質 S i の T O フォノンピーク P a と結晶 S i の T O フォノンピーク P c との比 P

a/Pc を測定すると、ゲッタリング領域の方がチャネル領域やソース・ドレイン領域より大きくなっていた。

【0295】

次いで、図14(E)に示すように、層間絶縁膜を形成する。本実施形態では、膜厚200nmの窒化ケイ素膜827と膜厚700nmの酸化ケイ素膜828とを積層形成し、2層構造とした。

【0296】

さらに、300～500℃で1時間程度の熱処理を行う。これにより、層間絶縁膜（特に窒化ケイ素膜827）から、活性領域およびゲート絶縁膜の界面へ水素原子が供給され、TF特性を劣化させる不対結合手（ダングリングボンド）を終端化し不活性化する。

【0297】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料によってTFの電極・配線829を形成し、図14(E)に示すnチャネル型TF830とpチャネル型TF831とを完成させる。さらに必要に応じて、ゲート電極812、820の上にもコンタクトホールを設けて、配線829により必要な電極間を接続する。

【0298】

以上の実施形態にしたがって作製したそれぞれのTFの電界効果移動度は、他の実施形態と同様の良好な特性を示す。また、従来例で頻繁に見られたTFオフ動作時のリーク電流の異常な増大が全く無く、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、CMOS構造回路でインバータチェーンやリングオシレーター等の回路を形成した場合、従来のものと比べて非常に信頼性が高く、安定した回路特性を示した。

【0299】

さらに、本実施形態でも、第3実施形態に比べ、nチャネル型TFとpチャネル型TFとにおいて、それぞれのソース・ドレイン領域およびゲッタリング領域の形成工程で、ゲート電極をドーピングマスクとして利用する。したがって、さらにフォトリソ工程が削減できるため、製造工程を簡略化でき、半導体装置

の製造コストを低減と良品率の向上が図れた。

【0300】

(第9実施形態)

本実施形態では、第1～第8の実施形態とは異なる結晶化方法について説明する。説明には図15を用いる。図15は、本実施形態での作製工程を示す断面図であり、(A)から(E)にしたがって作製工程が順次進行する。

【0301】

まず、第1～第8の実施形態と同様に、基板（本実施形態ではガラス基板）901上に、基板からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、窒化ケイ素膜を下層の第1下地膜902として成膜し、その上に酸化ケイ素膜を第2の下地膜903を積層形成した。次に、30～80nmの厚さでa-Si膜904を、第1～第8実施形態と類似の方法で形成する。この工程は下地絶縁膜と非晶質半導体膜を大気解放しないで連続的に形成しても構わない。

【0302】

次に、酸化ケイ素膜でなるマスク絶縁膜905を200nm程度の厚さに形成する。マスク絶縁膜は、図15(A)に示すように、半導体膜に触媒元素をドーピングするための開口部900を有している。

【0303】

次に、図15(B)に示すように、重量換算で100ppmの触媒元素（本実施形態ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素層906を形成する。この時、触媒元素906は、マスク絶縁膜905の開口部900において、選択的にa-Si膜904に接触して、触媒元素添加領域が形成される。

【0304】

また、本実施形態ではスピコート法でニッケルをドーピングする方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施形態の場合はニッケル膜）をa-Si膜上に形成する手段をとっても良い。

【0305】

次に、500～650℃（好ましくは550～600℃）で6～20時間（好ましくは8～15時間）の加熱処理を行う。本実施形態では、570℃で14時間の加熱処理を行う。その結果、図15（C）に示すように、触媒元素添加領域900に結晶核が発生し、領域900のa-Si膜がまず結晶化され、結晶質ケイ素膜904aとなる。さらに結晶化領域を起点として概略基板と平行な方向（矢印907で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質ケイ素膜904bが形成される。このとき、マスク905上に存在するニッケル906は、マスク膜905に阻まれ、下層のa-Si膜へは到達せず、領域900において導入されたニッケルのみによりa-Si膜904の結晶化が行われる。また、横方向への結晶成長が到達しない領域は非晶質領域904cとして残る。但し、レイアウトによっては、隣接した開口部より横方向に結晶成長した領域とぶつかり合って境界が生じる場合もあり、この場合は非晶質領域とはならない。

【0306】

マスクとして用いた酸化ケイ素膜905を除去した後、得られた結晶質シリコン膜には、図15（D）で示すようにレーザー光を照射して、第1～第8の実施形態と同様に、結晶性の改善を行ってもよい。これにより、横方向に結晶成長した領域904bの結晶質ケイ素膜は、より高品質化され、結晶質ケイ素膜904dとなる。

【0307】

続いて、横方向に結晶成長した領域904dの結晶質ケイ素膜を所定の形状にエッチングして、後のTF Tの半導体層909を形成する。

このような本実施形態で示した結晶化方法を第1～第8の実施形態における結晶化工程に適応することで、より電流駆動能力の高い高性能なTF Tを実現することができる。

【0308】

（第10実施形態）

本実施形態では、図16、図17を用いて、第1～第8の実施形態で示した半導体膜の結晶化に用いた触媒元素を移動させるためのゲッタリング領域のTF T

半導体層中での配置例を示す。

【0309】

本実施形態を第1から第8の実施形態のTF T作製工程に適用することにより、nチャネル型TF Tおよびpチャネル型TF Tの半導体層に様々な形状のゲッタリング領域を形成することが可能である。また、nチャネル型TF Tの半導体層におけるゲッタリング領域とpチャネル型TF Tの活性領域におけるゲッタリング領域との面積を概略等しくし、ゲッタリング領域からチャネル領域までの距離を概略等しくすることで、さらに、nチャネル型TF Tとpチャネル型TF Tとの触媒元素に対するゲッタリングの効率を揃えるという効果を向上させることができる。以下に、半導体層に形成されるゲッタリング領域の形状の例を示す。

【0310】

なお、nチャネル型TF Tの半導体層におけるゲッタリング領域とpチャネル型TF Tの半導体層におけるゲッタリング領域との面積を概略等しくするとは、それぞれのTF Tにおいて、半導体層（チャネル領域）の幅をW、ゲッタリング領域の面積Sとしたとき、半導体層（チャネル領域）の幅Wおよびゲッタリング領域の面積Sの比 S/W がnチャネル型TF Tおよびpチャネル型TF Tにおいて概略等しくすることである。

【0311】

図16（A）は、ゲッタリング領域13a、14aが、ゲート電極15a下部の半導体層に形成されるチャネル領域から離れた位置（半導体層の外縁部）に、ゲート電極15aと平行方向を長辺とする長形状で、この長方形のコーナー部が半導体層のコーナー部に掛かる様に配置された例である。

【0312】

また、図16（B）は、ゲッタリング領域13b、14bがゲート電極15b下部の半導体層に形成されるチャネル領域から離れた位置（半導体層の外縁部）に、ゲート電極15bと垂直方向を長辺とする長形状で、この長方形のコーナー部が半導体層のコーナー部に掛かる様に配置された例である。

【0313】

また、図16（C）は、ゲッタリング領域13c、14cがゲート電極15c

下部の半導体層に形成されるチャネル領域から離れた位置に（半導体層の外縁部）、ゲート電極 15c と平行方向を長辺とする長方形と垂直方向を長辺とする長方形を組み合わせでできた複雑な形状で、この形状のコーナー部が半導体層のコーナー部に掛かる様に配置された例である。この場合は、図 16（A）または図 16（B）と比較して、ゲッターリング領域の面積を大きくすることができ、触媒元素に対するゲッターリング効率をより高められる。

【0314】

上記の何れの配置例に於いても、ゲッターリング領域は、ソース領域またはドレイン領域にそれぞれ形成されるコンタクト部（各 T F T を電氣的に接続する配線が半導体層と接続される部分を本明細書において、コンタクト部という）の間を流れる電流を妨げない位置に配置されている。即ち、図 16（A）のゲッターリング領域 13a、14a は、ソース領域 11a に形成されているコンタクト部 16a とドレイン領域 12a に形成されているコンタクト部 17a の間を流れる電流を妨げない位置に配置されている。

【0315】

また、図 16（B）のゲッターリング領域 13b、14b は、ソース領域 11b に接続しているコンタクト部 16b とドレイン領域 12b に形成されているコンタクト部 17b の間を流れる電流を妨げない位置に配置されている。

【0316】

また、図 16（C）のゲッターリング領域 13c、14c は、ソース領域 11c に形成されているコンタクト部 16c とドレイン領域 12c に形成されているコンタクト部 17c の間を流れる電流を妨げない位置に配置されている。

【0317】

また、図 16（D）は、基本的に図 16（C）と同じ配置例であるが、ゲッターリング領域 13d、14d のゲッターリング効率拡大の為、ゲッターリング領域 13d、14d の更なる面積拡大が図られ、ゲッターリング領域 13d がコンタクト部 16d の一部に掛かった例である。基本的に、ゲッターリング領域 13d、14d がコンタクト部 16d、17d の一部に掛かっても問題ないが、重なる面積が最大でもコンタクト部 16d、17d の半分以下になる様に、留意する必要がある

。従って、コンタクト部 16 d、17 d とゲッタリング領域 13 d、14 d との間の設計距離は、各々の領域形成に対応するフォトリソグラフィ工程で使用する露光装置のアライメント精度を考慮して、好適な設計距離を決める必要がある。尚、ゲッタリング領域を設ける位置は、本実施形態の構成に限定されるものではなく、ソース領域とドレイン領域の間を流れる電流に影響を与えない（阻害しない）位置であれば任意の場所に設けても良い。

【0318】

また、図 17 (A) は、半導体層を複数のゲート電極 15 e が横切り、その下部に複数のチャネル領域が形成される。また、複数のゲート電極の間には、ソース領域 11 e（またはドレイン領域 12 e）、ゲッタリング領域 18 e、コンタクト部 19 e が形成されている。なお、半導体層の外縁部には図 16 (A) ～ (D) と同様にゲッタリング領域 13 e、14 e が形成され、その内側にソース領域 11 e またはドレイン領域 12 e およびコンタクト部 16 e、17 e が形成されている。図 17 (A) に示した場合も、ゲッタリング領域 13 e がコンタクト部 16 e の一部に掛かっても構わないが、基本的に、重なる面積が最大でもコンタクト部 16 e、17 e の半分以下になる様に、留意する必要がある。

【0319】

また、図 17 (B) も、半導体層を複数のゲート電極 15 f が横切り、その下部に複数のチャネル領域が形成される例である。図 17 (B) では、2 つの T F T が半導体層を共有して直列に連結されており、その連結部においてコンタクト部を有しない、すなわち、連結部から電気信号を取り出す必要が無い場合の配置である。このような構成の T F T は、クロックインバータやラッチ回路等の回路で実際に使用される。複数のゲート電極の間には、ソース領域 11 f（またはドレイン領域 12 f）、ゲッタリング領域 18 f が形成されている。なお、半導体層の外縁部には図 16 (A) ～ (D) と同様にゲッタリング領域 13 f、14 f が形成され、その内側にソース領域 11 f またはドレイン領域 12 f およびコンタクト部 16 f、17 f が形成されている。連結部の領域において、ゲッタリング領域 18 f が、コンタクト部 16 f からコンタクト部 17 f へと流れる電流を少なくとも妨げない位置に配置されている。

【0320】

なお、TFTの半導体層の形状は、そのTFTに要求される電流量により異なる。図16及び図17のようにソース・ドレイン領域とチャネル領域の幅が同一であるずん胴形となっている場合と、ソース・ドレイン領域よりもチャネル領域の幅が狭められ、くさび形となっている場合とがあるが、どちらの場合も同様に本発明を適用できる。

【0321】

また、どのような形状のゲッタリング領域を適用しても、ゲッタリングのための加熱処理により、ゲッタリング領域には触媒元素が移動してくるため、触媒元素が、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度となる。

【0322】

本実施形態は、上記第1実施形態から第8実施形態に組み合わせて適用することができる。

【0323】

(第11実施形態)

本発明を用いて作製された半導体装置におけるブロック図を図18に示す。なお、図18(A)には、アナログ駆動を行うための回路構成が示されている。本実施形態は、ソース側駆動回路20、画素部21およびゲート側駆動回路22を有している半導体装置について示している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称を指している。

【0324】

ソース側駆動回路20は、シフトレジスタ20a、バッファ20b、サンプリング回路(トランスファゲート)20cを設けている。また、ゲート側駆動回路22は、シフトレジスタ22a、レベルシフタ22b、バッファ22cを設けている。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

【0325】

また、本実施形態において、画素部21は複数の画素からなり、その複数の画素各々がTFT素子を含んでいる。

【0 3 2 6】

なお、図示していないが、画素部 2 1 を挟んでゲート側駆動回路 2 2 の反対側にさらにゲート側駆動回路を設けても良い。

【0 3 2 7】

また、図 1 8 (B) には、デジタル駆動を行うための回路構成が示されている。本実施形態は、ソース側駆動回路 2 3、画素部 2 4 およびゲート側駆動回路 2 5 を有している半導体装置について示している。デジタル駆動させる場合は、図 1 8 (B) に示すように、サンプリング回路の代わりにラッチ (A) 2 3 b、ラッチ (B) 2 3 c を設ければよい。ソース側駆動回路 2 3 は、シフトレジスタ 2 3 a、ラッチ (A) 2 3 b、ラッチ (B) 2 3 c、D/A コンバータ 2 3 d、バッファ 2 3 e を設けている。また、ゲート側駆動回路 2 5 は、シフトレジスタ 2 5 a、レベルシフタ 2 5 b、バッファ 2 5 c を設けている。また、必要であればラッチ (B) 2 3 c と D/A コンバータ 2 3 d との間にレベルシフタ回路を設けてもよい。

【0 3 2 8】

なお、上記構成は、前述の第 1 から第 1 0 の実施形態に示した製造工程に従って実現することができる。また、本実施形態では画素部と駆動回路の構成のみ示しているが、本発明の製造工程に従えば、メモリやマイクロプロセッサをも形成しうる。

【0 3 2 9】

(第 1 2 実施形態)

本発明を実施して形成された CMOS 回路や画素部はアクティブマトリクス型液晶表示装置や有機 EL 表示装置に用いることができる。即ち、それら液晶表示装置や有機 EL 表示装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0 3 3 0】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携

帯電話または電子書籍等) などが挙げられる。

本発明を適用することにより、触媒元素を用いた良好な結晶性を有する結晶質半導体膜を形成することができ、さらに十分に触媒元素をゲッタリングできるため、nチャネル型TFETとpチャネル型TFETとの特性を向上させ、信頼性の高い、安定した回路特性の、良好なCMOS駆動回路を実現することができる。また、オフ動作時のリーク電流が問題となる画素におけるスイッチングTFETや、アナログスイッチ部のサンプリング回路のTFET等でも、触媒元素の偏析によると考えられるリーク電流の発生を十分に抑制することができる。その結果、表示ムラのない良好な表示が可能になる。また表示ムラがない良好な表示であるため、光源を必要以上に使用する必要がなく無駄な消費電力を低減することができ、低消費電力化も可能な電子機器（携帯電話、携帯書籍、ディスプレイ）を実現することができる。

【0331】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、上記第12実施形態の電子機器は、上記第1から第11の実施形態を組み合わせることで作製された表示装置を用いて実現することができる。

【0332】

以上、本発明の実施形態について具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0333】

例えば、本発明で対象となる半導体膜としては、上記実施形態で示した純粋なケイ素膜以外に、ゲルマニウムとケイ素との混成膜（シリコン・ゲルマニウム膜）や純粋なゲルマニウム膜も利用できる。

【0334】

また、ニッケルを導入する方法としては、非晶質ケイ素膜表面をニッケル塩を溶かした溶液を塗布する方法を採用したが、非晶質ケイ素膜成膜前に下地膜表面にニッケルを導入し、非晶質ケイ素膜下層よりニッケルを拡散させ結晶成長を行

わせる方法でもよい。また、ニッケルの導入方法としても、その他、様々な手法を用いることができる。例えば、ニッケル塩を溶かせる溶媒としてSOG（スピノングラス）材料を用い、SiO₂膜より拡散させる方法もある。また、スパッタリング法や蒸着法、メッキ法により薄膜形成する方法や、イオンドーピング法により直接導入する方法なども利用できる。

【0335】

また、上記実施形態では、ゲッタリング工程でリンを用いたが、それ以外にヒ素、アンチモンを利用しても良い。また、ゲッタリングのための希ガス元素としてもアルゴンやクリプトン以外にキセノンでも大きな効果がある。

【0336】

さらに、前述の一部の実施形態では、ソース・ドレイン領域とチャネル領域との間にLDD領域を設けたが、このLDD領域は、前述の実施形態のようにゲート電極の外側に設けられるだけでなく、ゲート電極の内側に設けてもよい。このような構成とすることで、TFトオフ動作時のリーク電流の低減効果は薄れるが、ホットキャリア耐性が非常に強くなり、より信頼性の高いTFトが得られる。また、半導体層にドーピングするn型不純物元素とp型不純物とのドーピング工程順は、本実施形態に限定されることはなく、実施者が適宜決定すればよい。また、ゲート絶縁膜の薄膜化工程に関しても、上記実施形態に限定されることなく、ゲッタリング領域形成を目的とするドーピング工程の前であれば、どの段階で行っても、本発明の効果が得られる。また、ゲート絶縁膜の薄膜化量に対しても、実施者が適宜決定すればよい。

【0337】

【発明の効果】

本発明によると、触媒元素を用いて作製された良好な結晶性を有する結晶質半導体膜の素子領域、特にチャネル領域やチャネル領域とソース領域またはドレイン領域との接合部に残留する触媒元素を十分に低減することが可能になる。このような半導体膜を有するTFトを用いれば、リーク電流の発生を抑制することができ、且つ信頼性も向上することができ、さらに、特性ばらつきも少ない安定した特性の高性能半導体素子を実現できる。さらには、ゲッタリングのための付加

工程を低減することができ、製造工程の簡略化が図れる。その結果、また、その製造工程において良品率を大きく向上できると共に、半導体装置の製造コストを低減することができる。

【 0 3 3 8 】

本発明によると、高性能半導体素子の実現でき、さらに、集積度の高い高性能半導体装置が、簡便な製造プロセスにて得られる。特に液晶表示装置においては、アクティブマトリクス基板に要求される画素スイッチング T F T のスイッチング特性の向上、周辺駆動回路部を構成する T F T に要求される高性能化・高集積化を同時に満足し、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板において、モジュールのコンパクト化、高性能化、低コスト化が図れる。

【図面の簡単な説明】

【図 1】

(A) から (H) は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 2】

(A) から (H) は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 3】

(A) から (F) は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 4】

(A) から (E) は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である（図 3 の続き）。

【図 5】

(A) から (F) は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 6】

(A) から (E) は、本発明の実施形態による半導体装置の製造工程を示す模

式的な断面図である（図 5 の続き）。

【図 7】

（A）から（F）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 8】

（A）から（E）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である（図 7 の続き）。

【図 9】

（A）から（F）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 1 0】

（A）から（E）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である（図 9 の続き）。

【図 1 1】

（A）から（F）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 1 2】

（A）から（E）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である（図 1 1 の続き）。

【図 1 3】

（A）から（F）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 1 4】

（A）から（E）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である（図 1 3 の続き）。

【図 1 5】

（A）から（E）は、本発明の実施形態による半導体装置の製造工程を示す模式的な断面図である。

【図 1 6】

(A) から (D) は、本発明の実施形態におけるゲッタリング領域の配置例を模式的に示す図である。

【図 1 7】

(A) および (B) は、本発明の実施形態におけるゲッタリング領域の他の配置例を模式的に示す図である。

【図 1 8】

(A) および (B) は、本発明の実施形態の半導体装置の構成を模式的に示す図である。

【図 1 9】

リンのドーピングのプロファイルを示すグラフである。

【図 2 0】

(A) から (C) は、本発明によって得られる結晶質半導体膜における結晶配向の状態を説明するための図である。

【符号の説明】

1 0 1 ガラス基板

1 0 3 下地膜

1 0 4 非晶質半導体膜 (a - S i 膜)

1 0 4 a 結晶質半導体膜 (結晶質ケイ素膜)

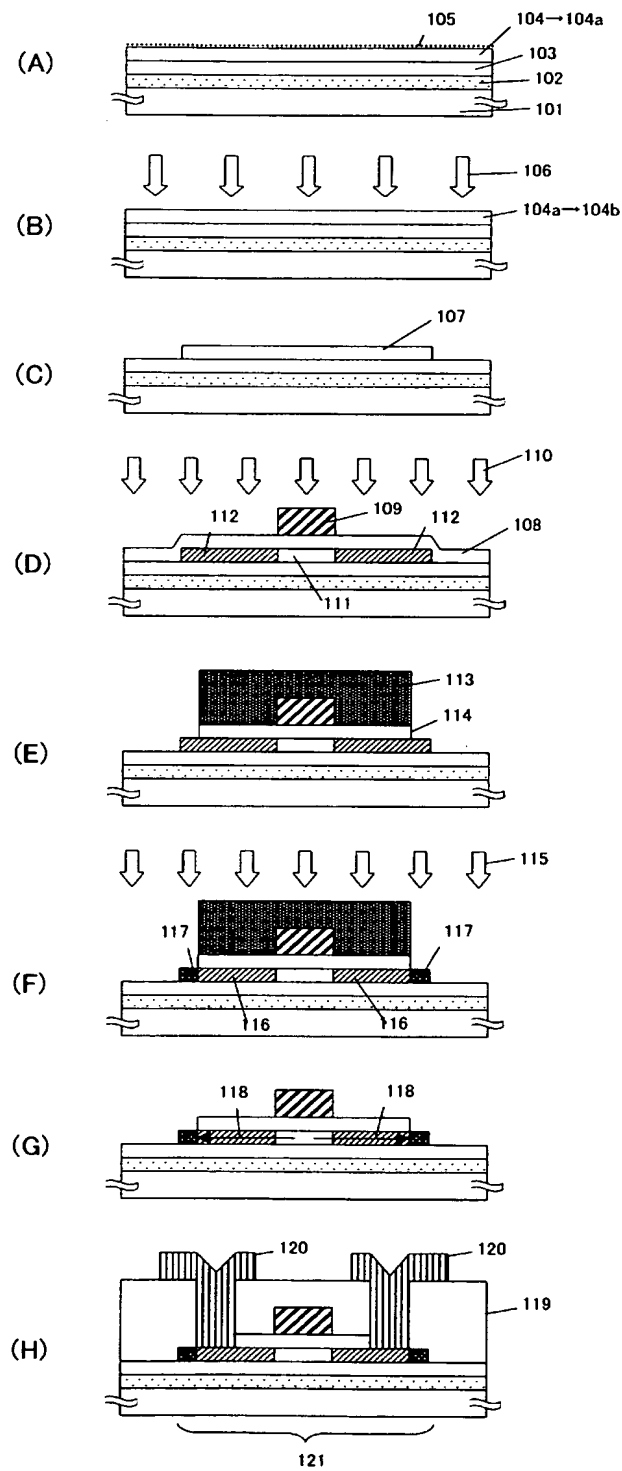
1 0 4 b 高品質な結晶質半導体膜 (結晶質ケイ素膜)

1 0 5 触媒元素 (ニッケル)

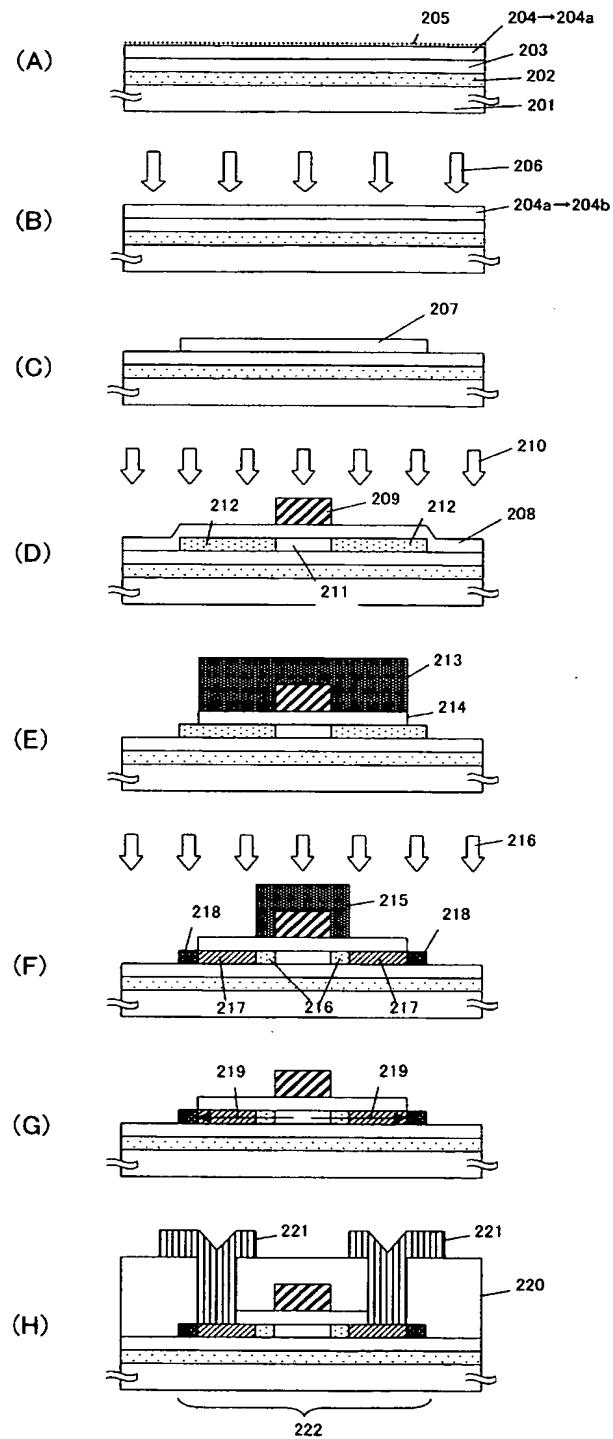
【書類名】

図面

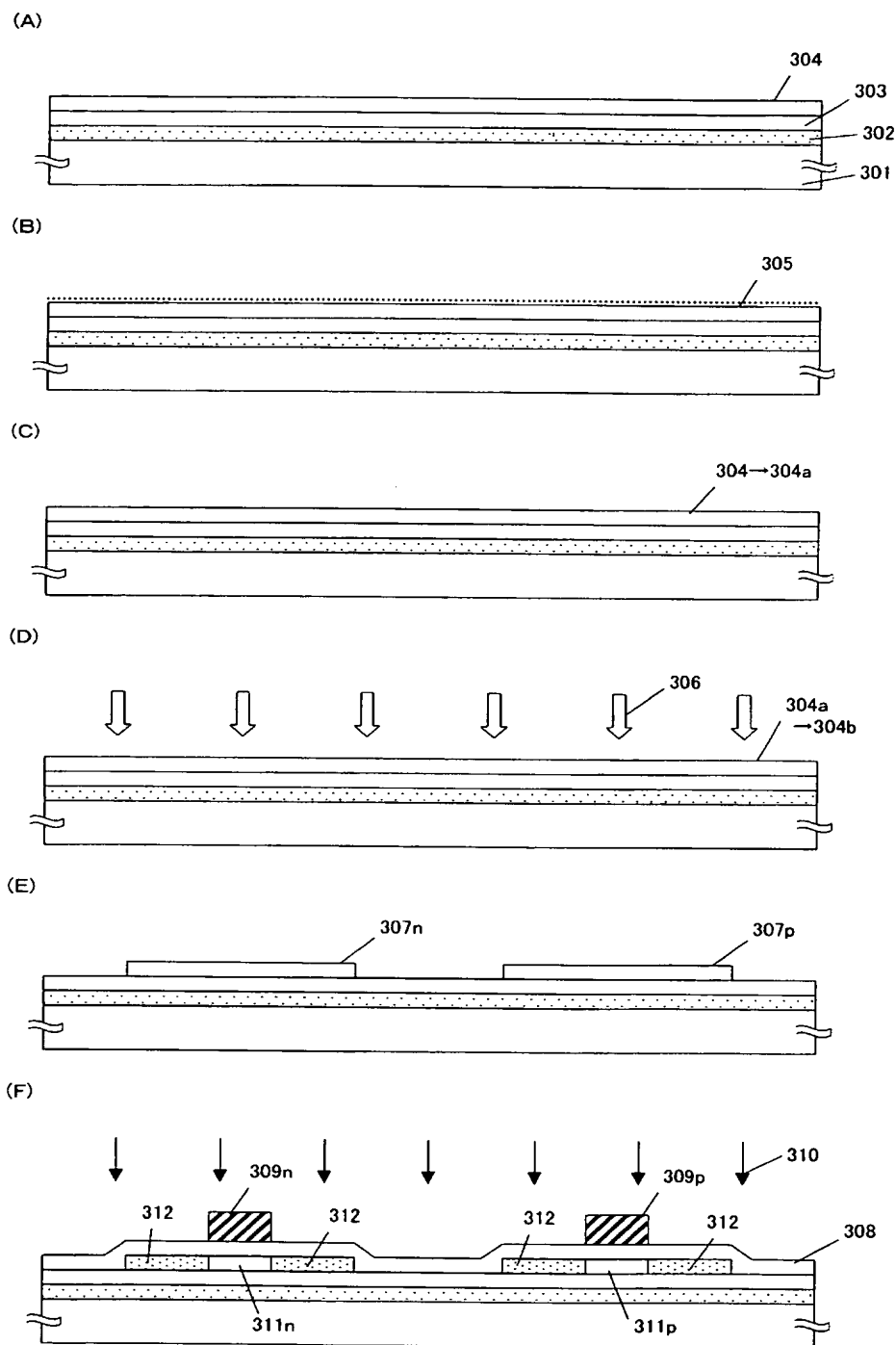
【図 1】



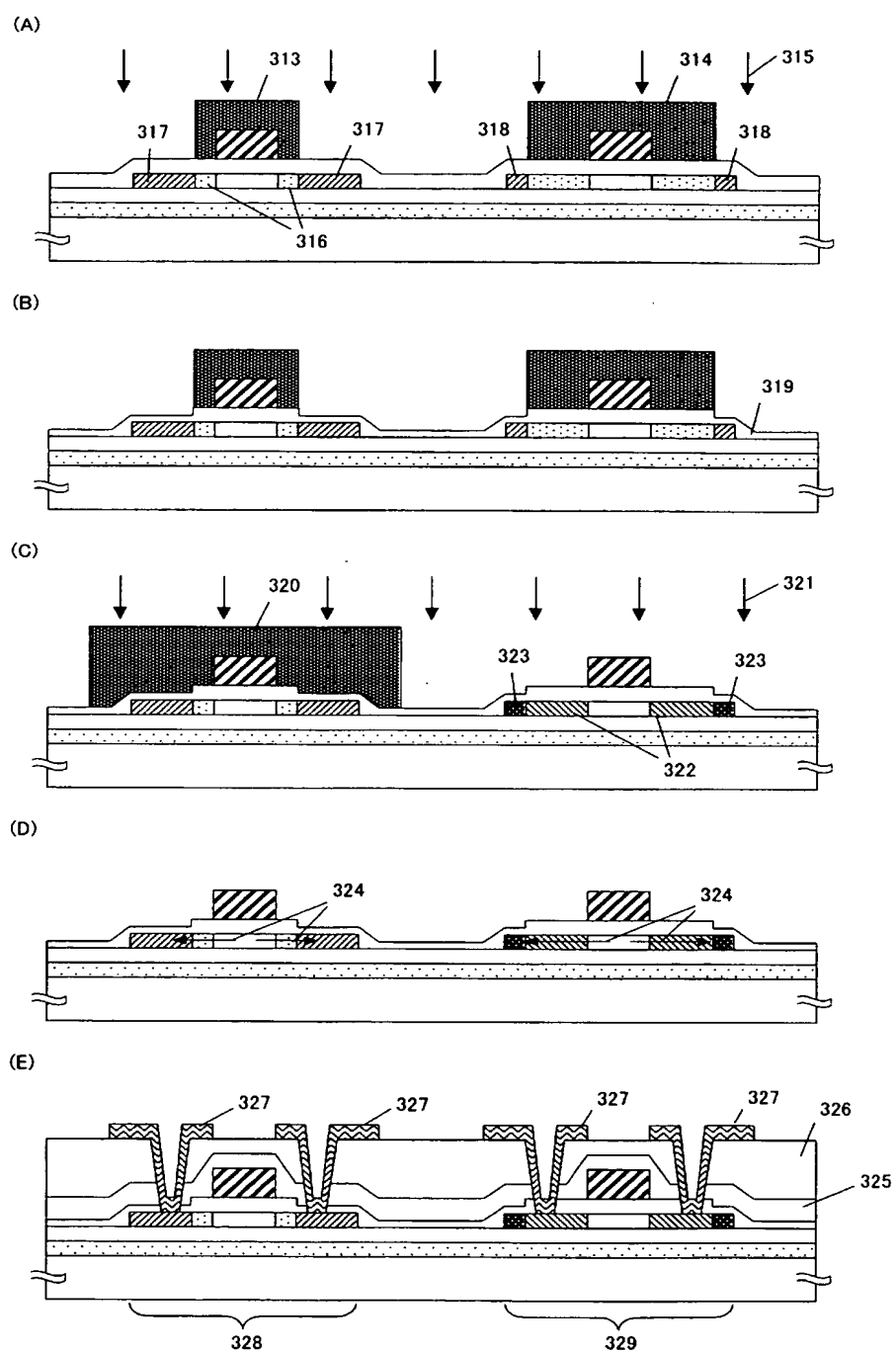
【図 2】



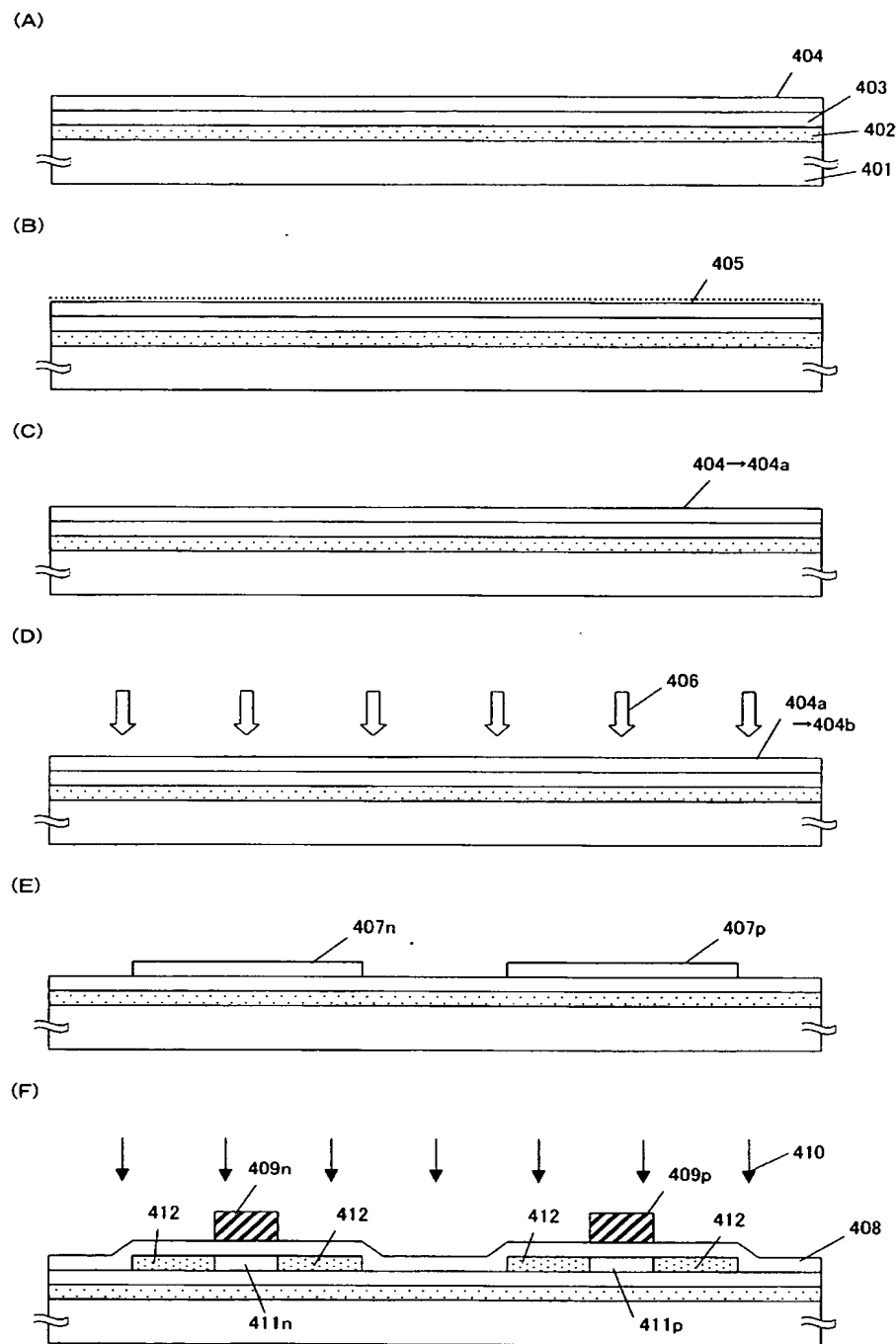
【図 3】



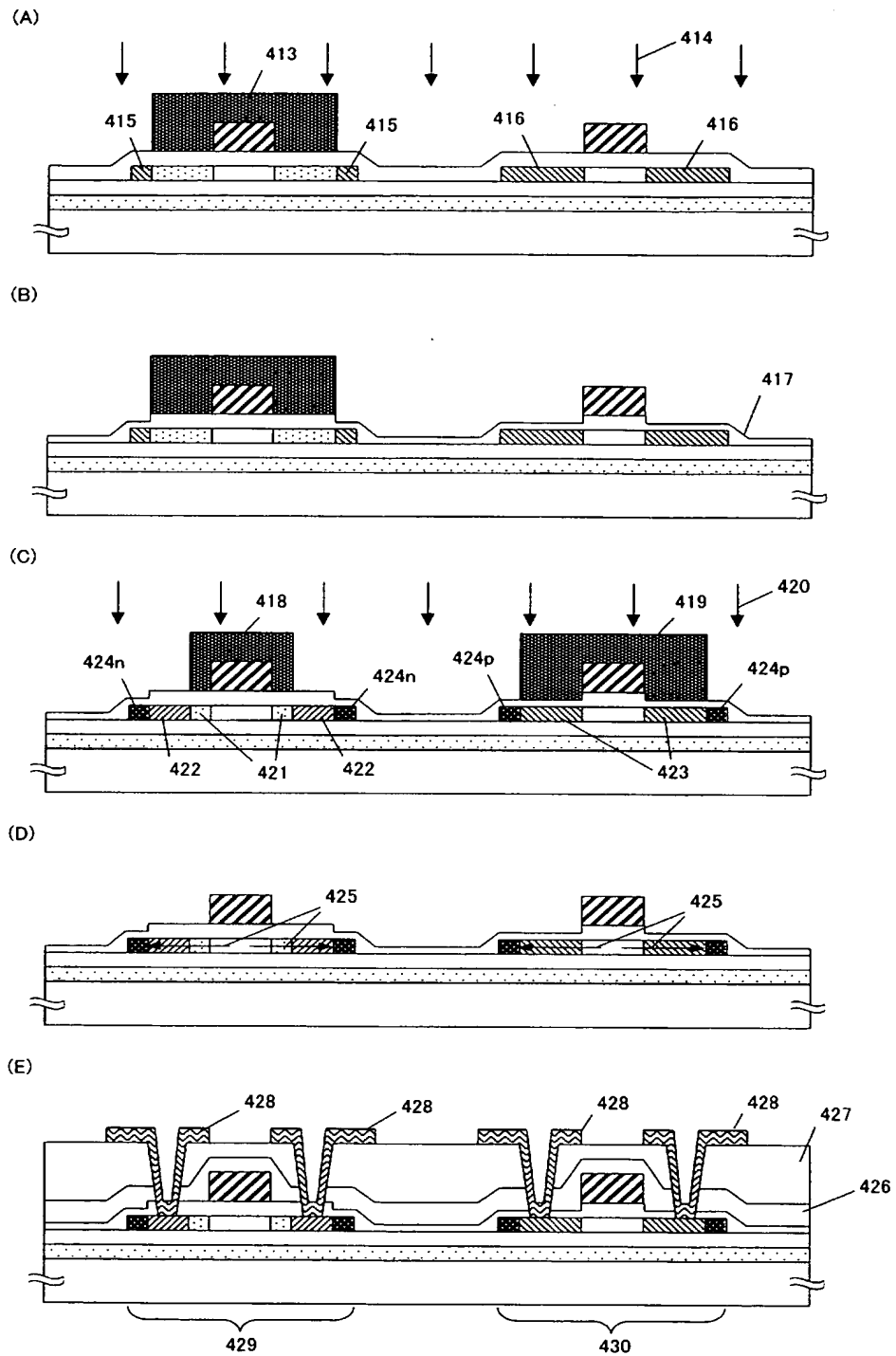
【図 4】



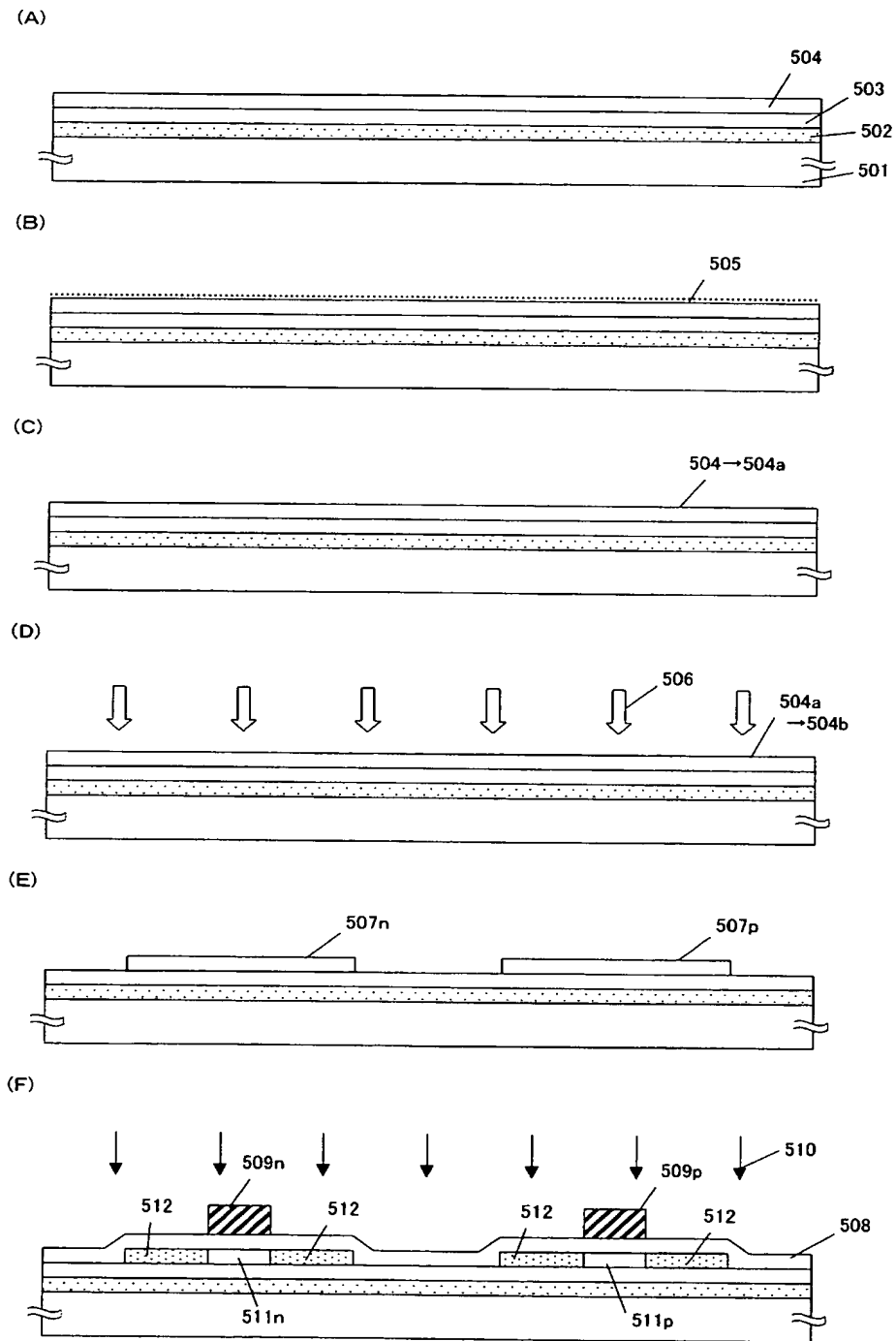
【図 5】



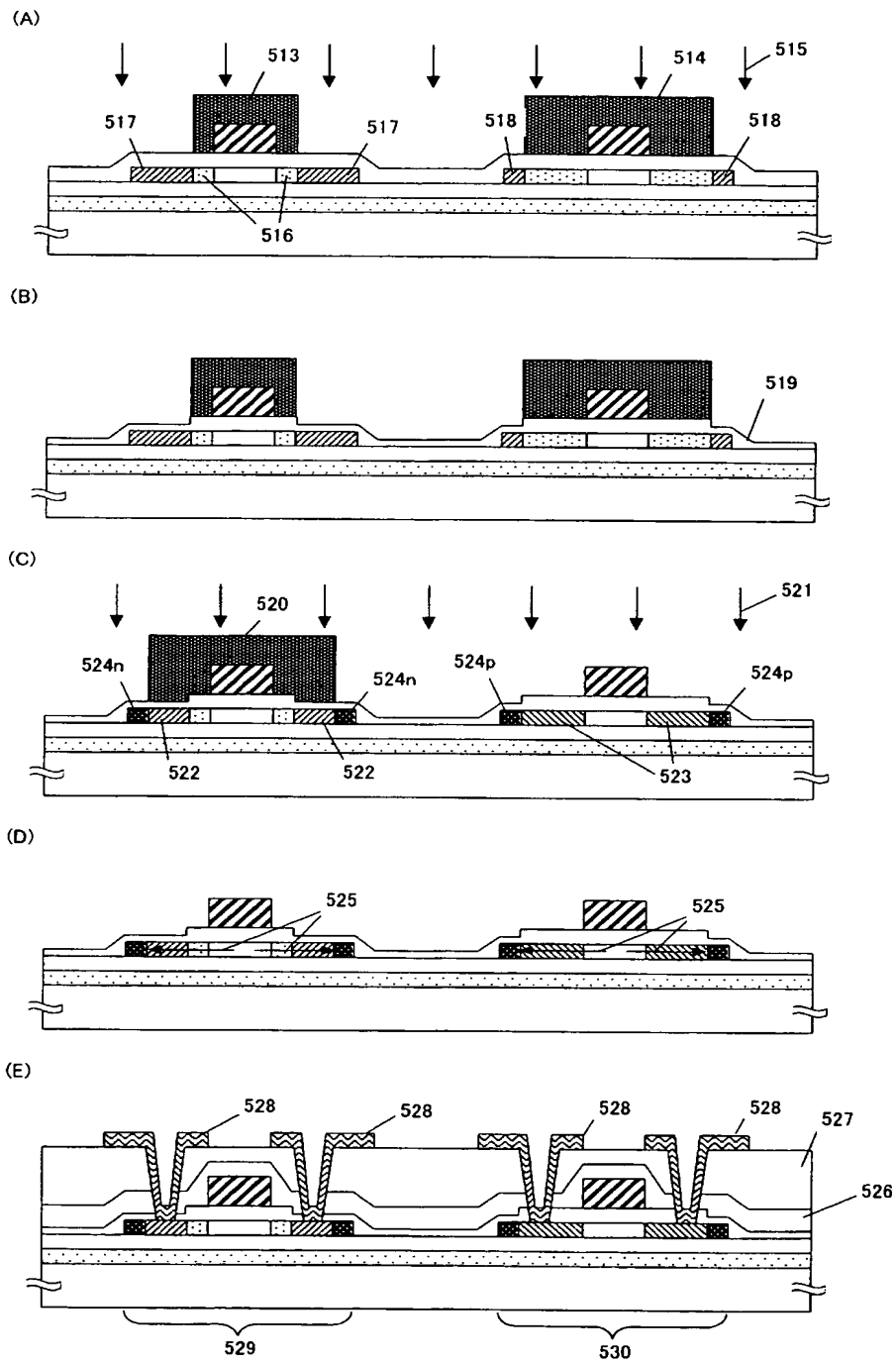
【図 6】



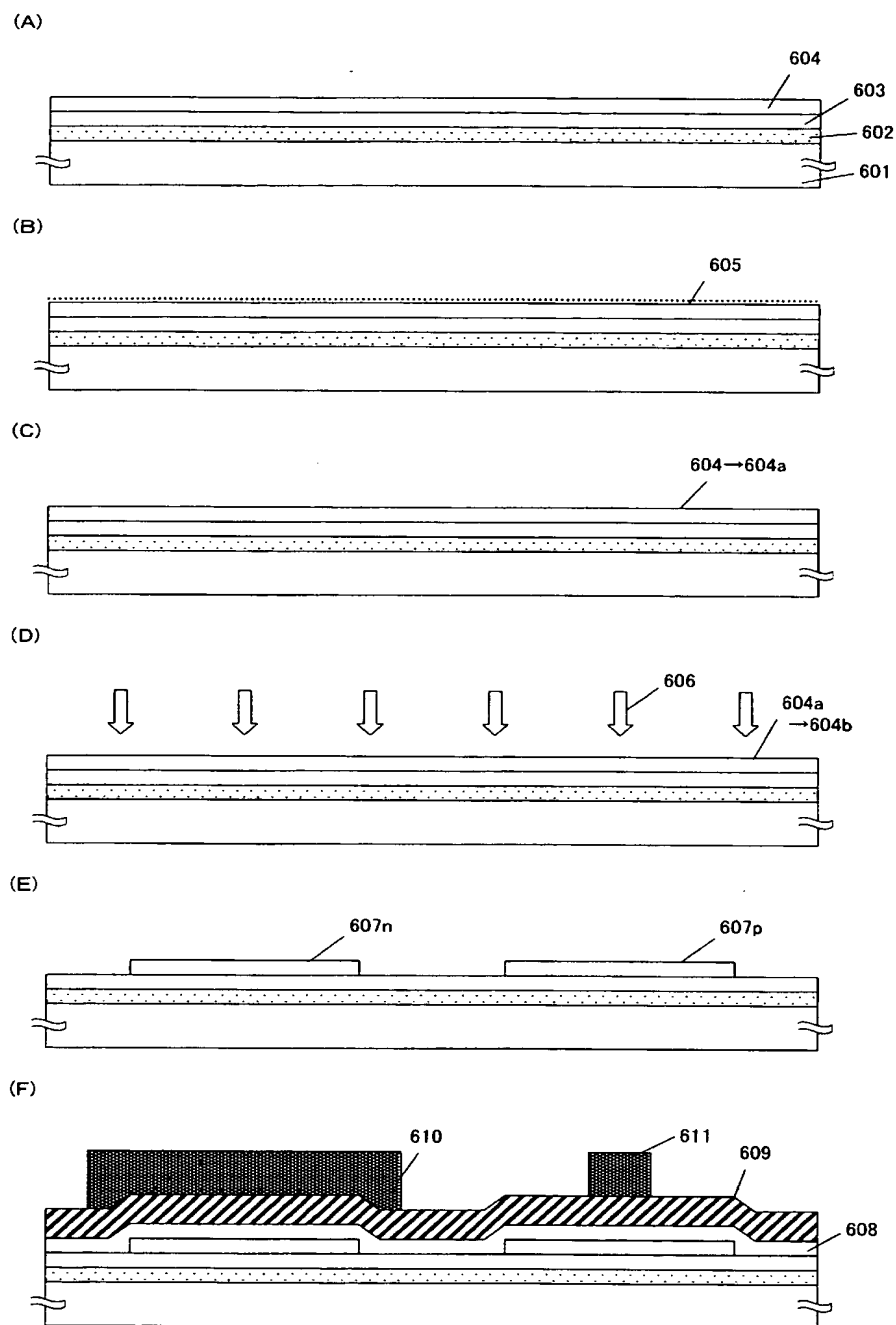
【図 7】



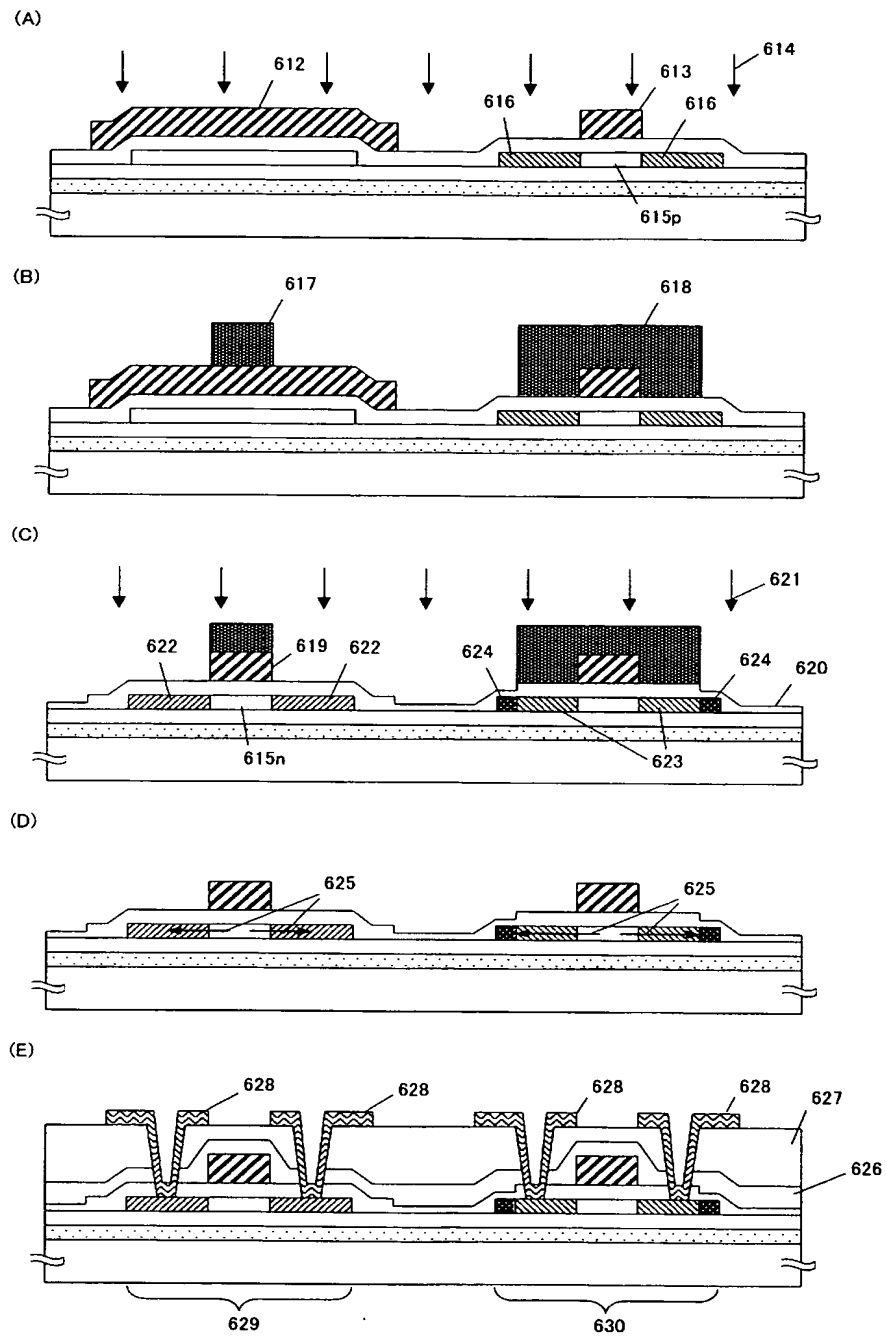
【図 8】



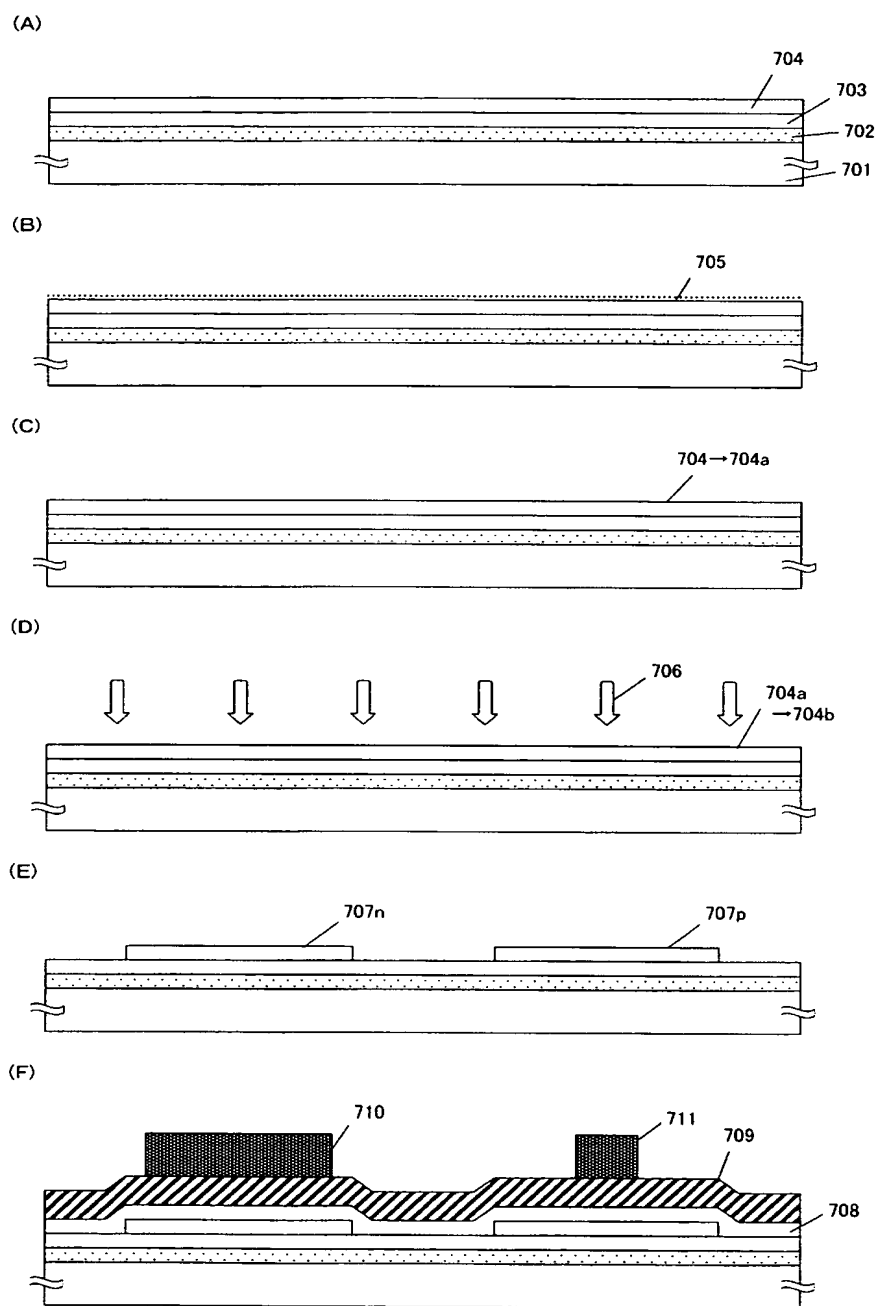
【図 9】



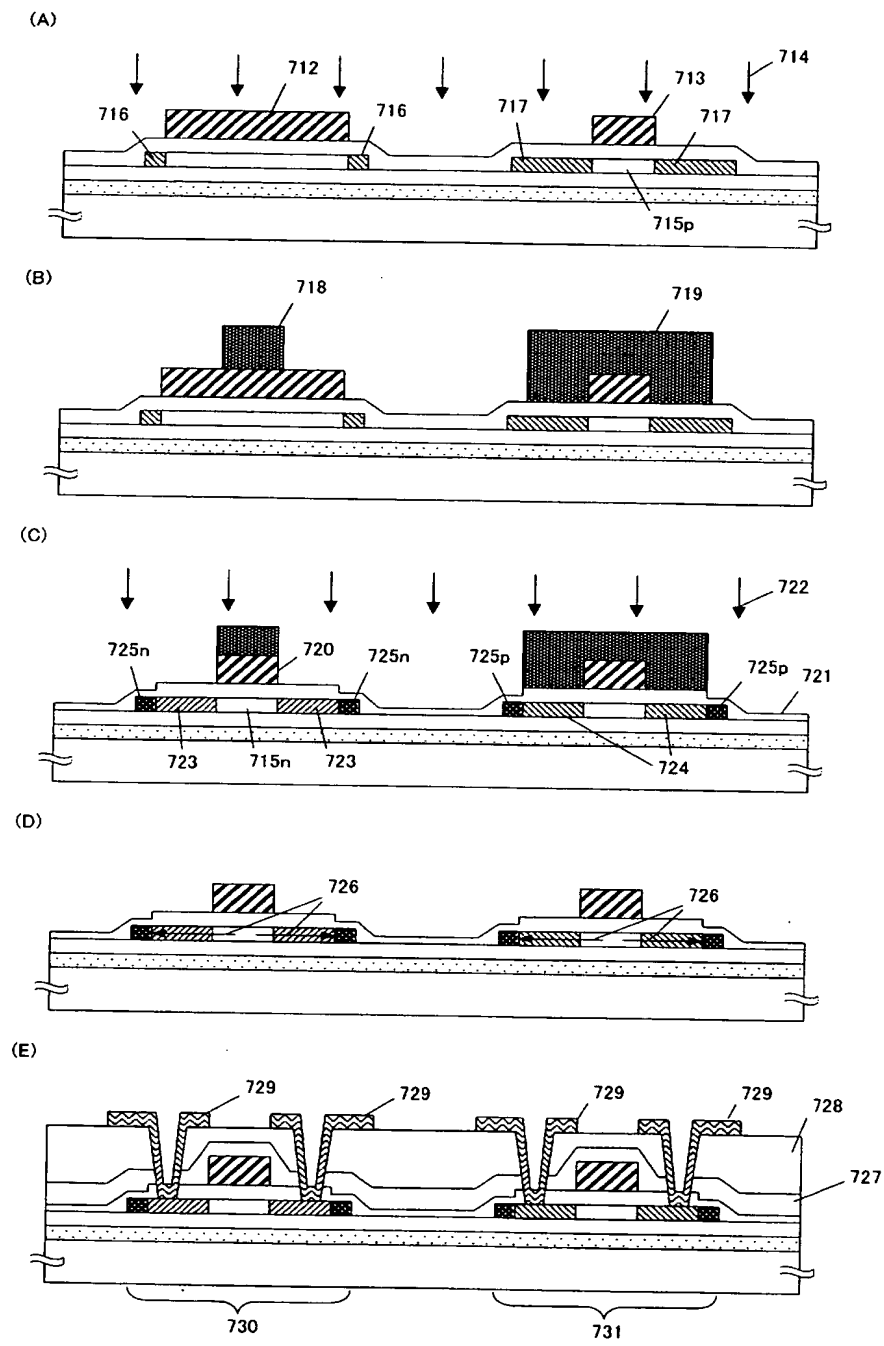
【図 10】



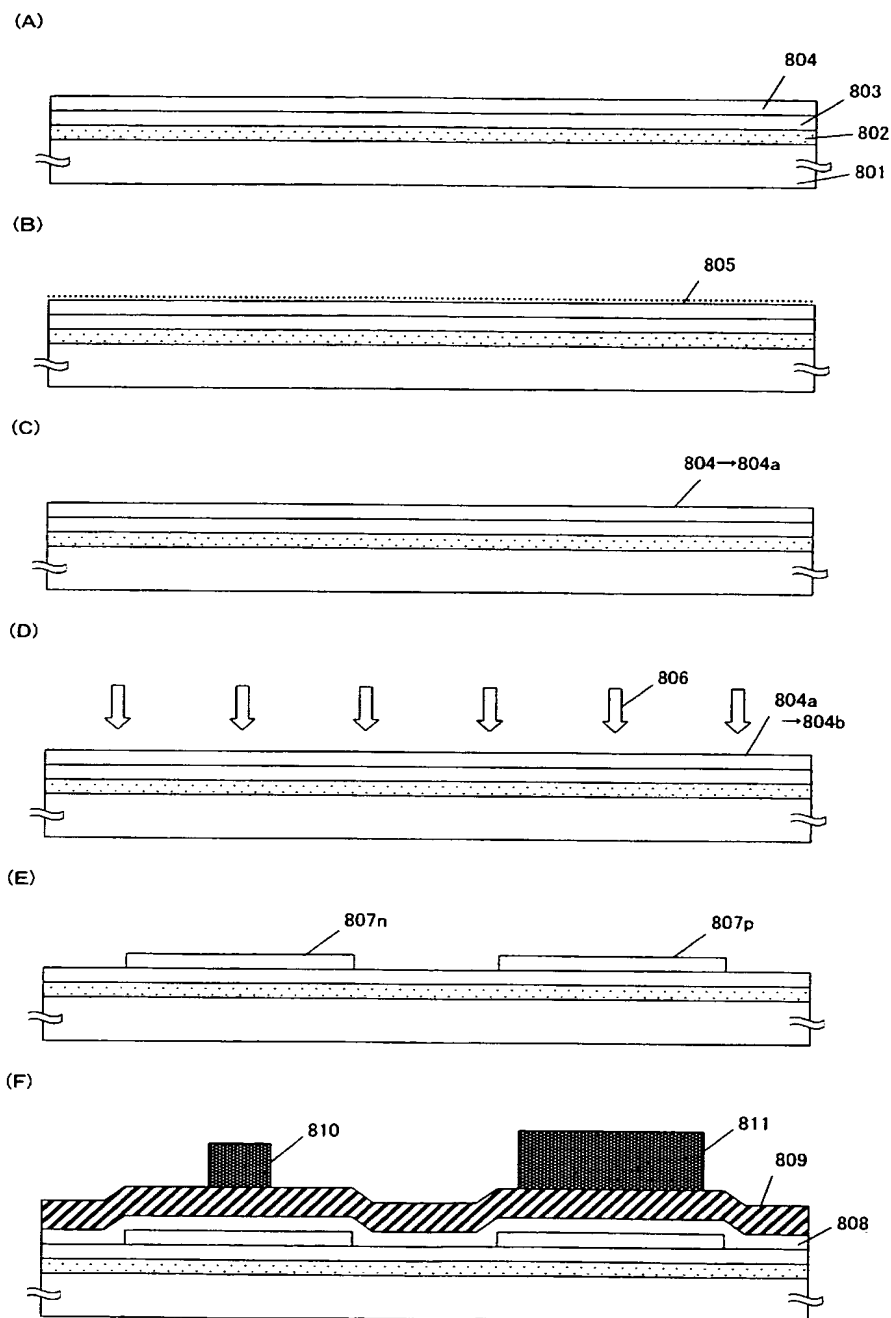
【図 11】



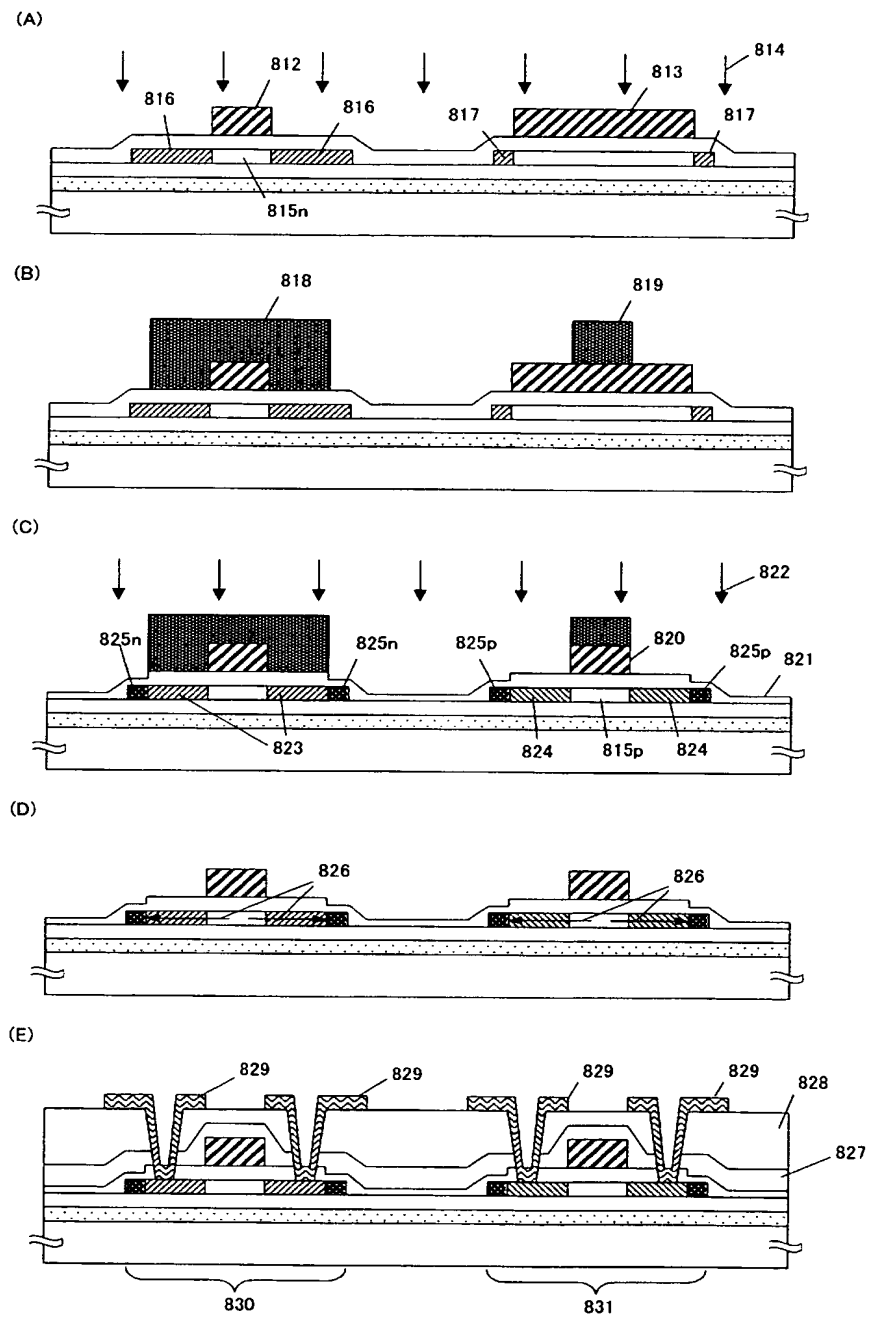
【図 12】



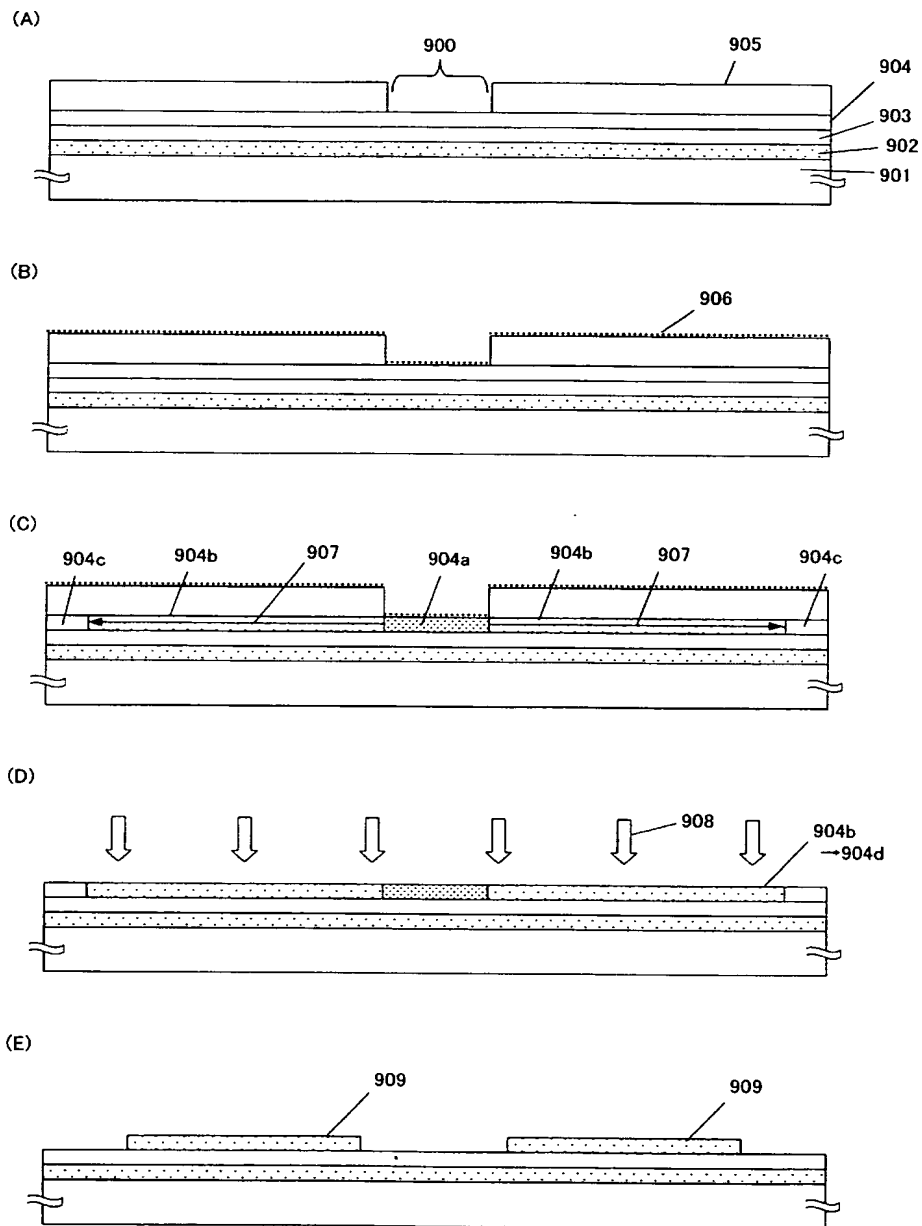
【図 13】



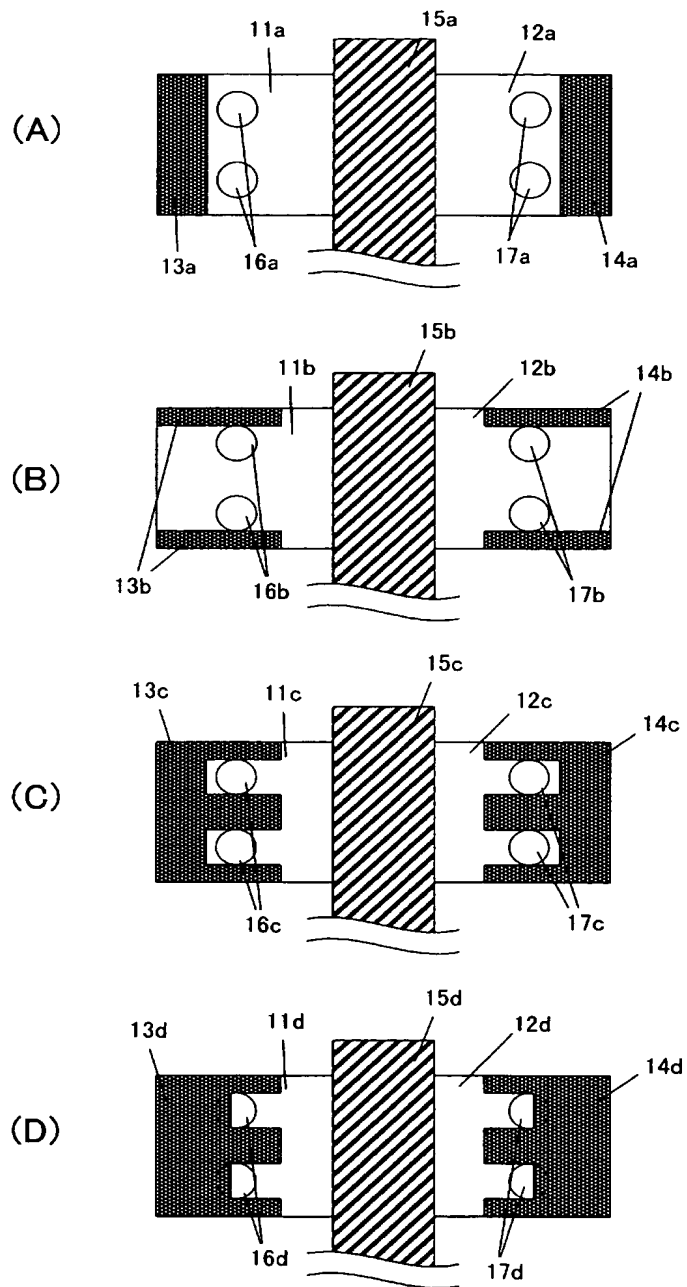
【図 14】



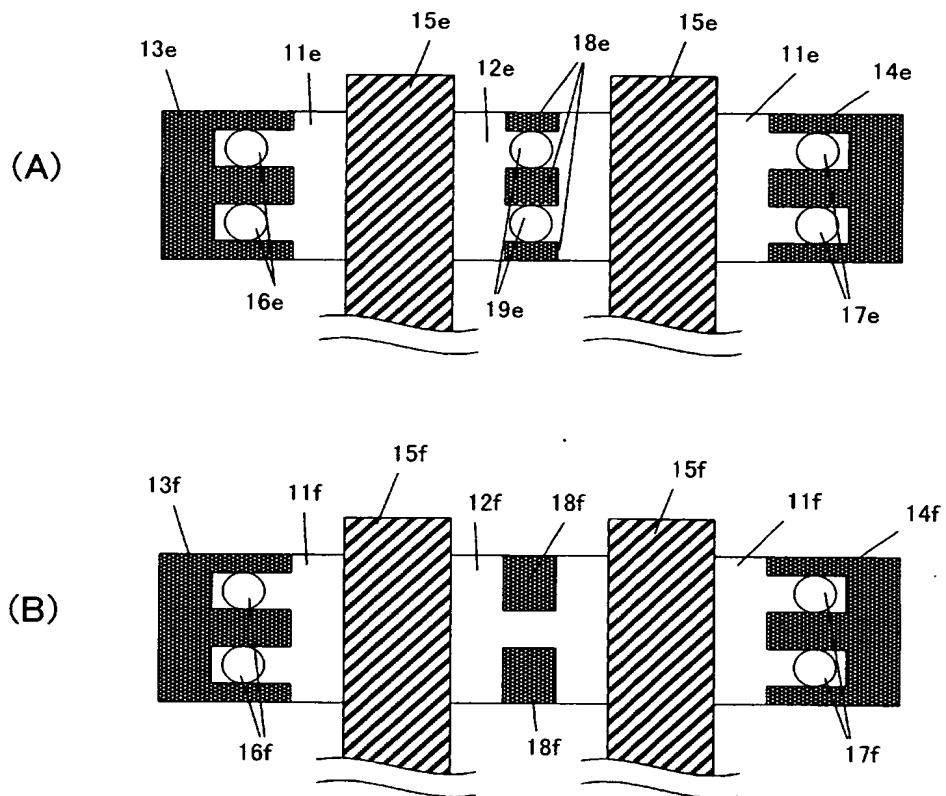
【図 15】



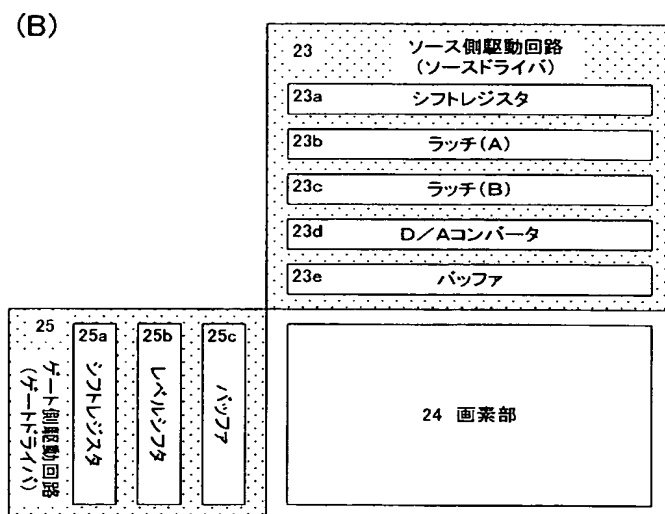
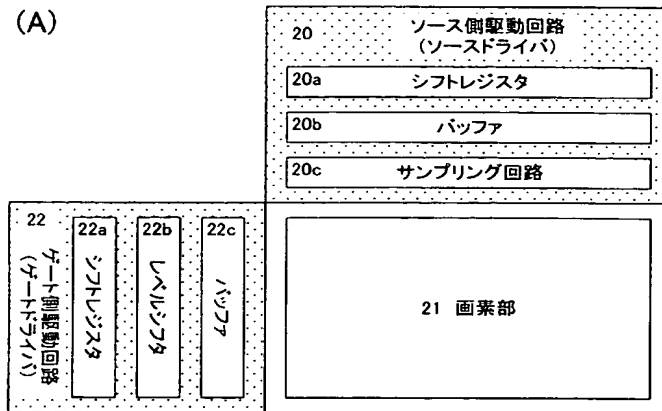
【図 16】



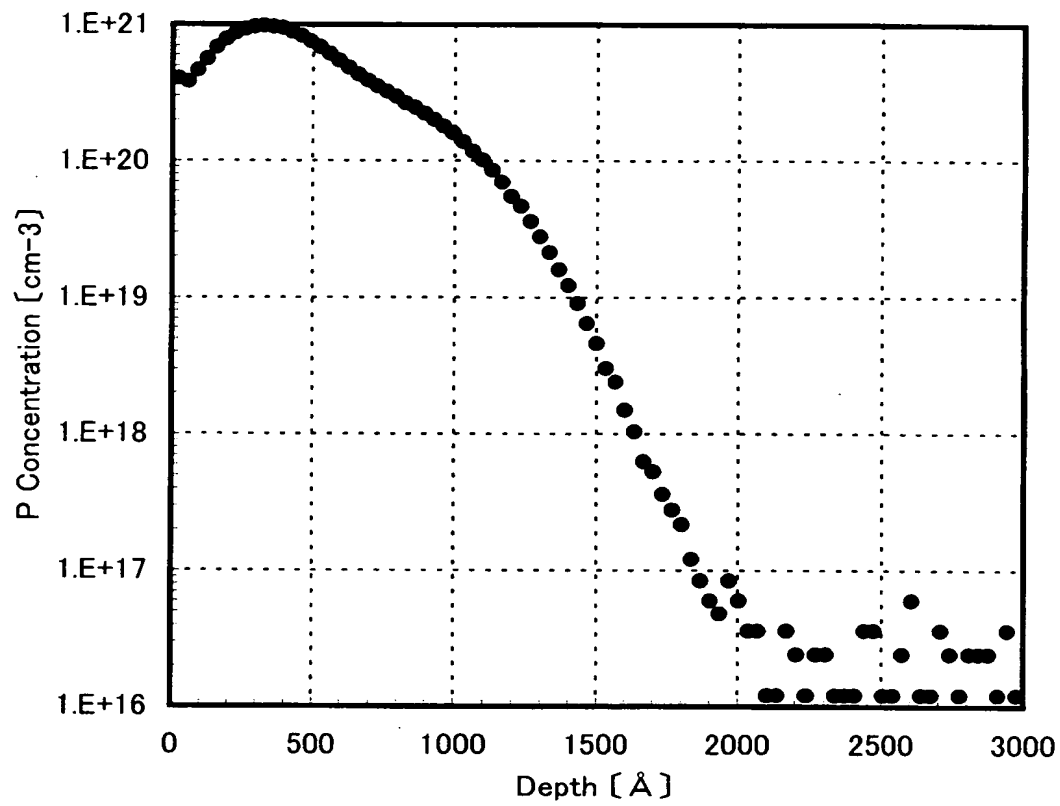
【図 17】



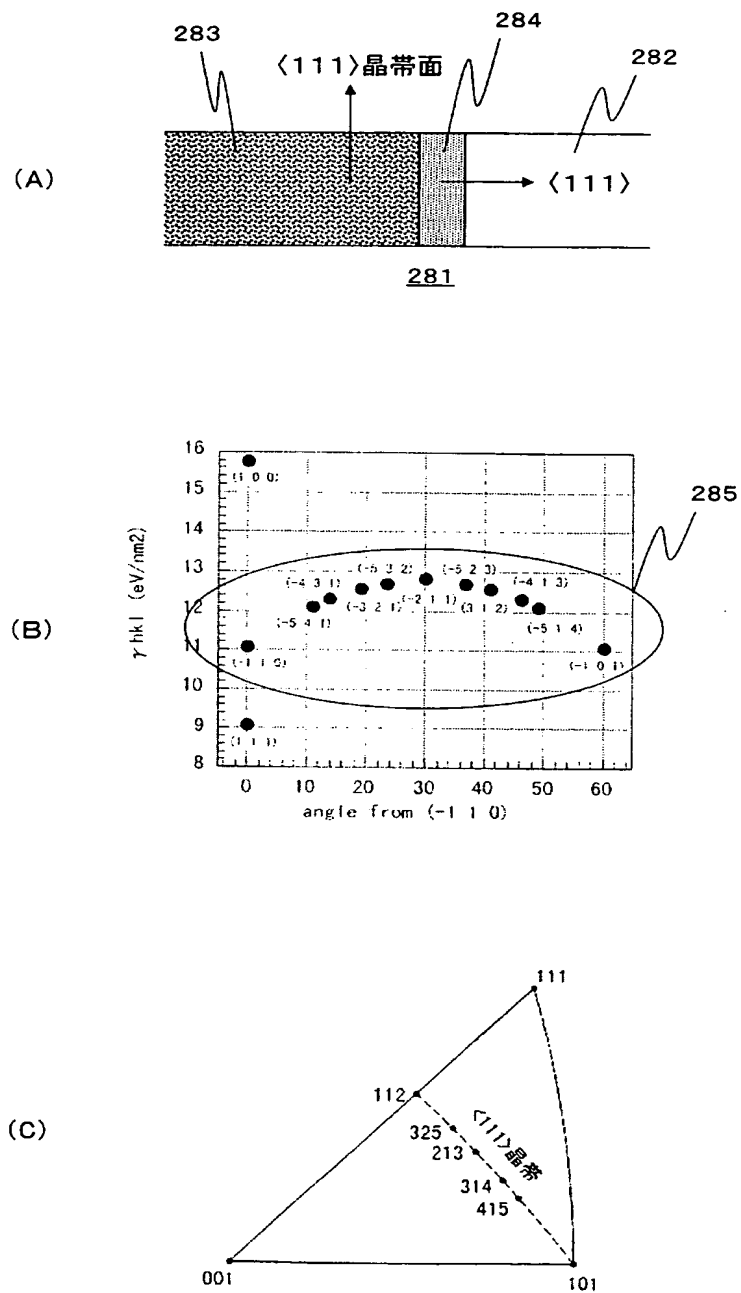
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 良質な結晶質半導体膜を有し良好な特性を有する T F T（半導体素子）を備える半導体装置を提供する

【解決手段】 半導体装置は、チャネル領域、ソース領域およびドレイン領域を含む結晶質領域を備えた半導体層と、半導体層の少なくともチャネル領域、ソース領域および前記ドレイン領域上に形成されたゲート絶縁膜と、ゲート絶縁膜を介してチャネル領域に対向するように形成されたゲート電極とを有する少なくとも 1 つの薄膜トランジスタを備える。半導体層の少なくとも一部は、結晶化を促進する触媒元素を含み、且つ、半導体層は、チャネル領域、あるいは、ソース領域およびドレイン領域よりも触媒元素を高濃度で含むゲッタリング領域をさらに有し、ゲッタリング領域上のゲート絶縁膜の厚さはソース領域およびドレイン領域上のゲート絶縁膜の厚さよりも小さい、あるいは、ゲート絶縁膜はゲッタリング領域上には形成されていない。

【選択図】 図 1

特願 2 0 0 3 - 0 0 1 4 3 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社